



Střední škola informatiky, elektrotechniky a řemesel
Rožnov pod Radhoštěm



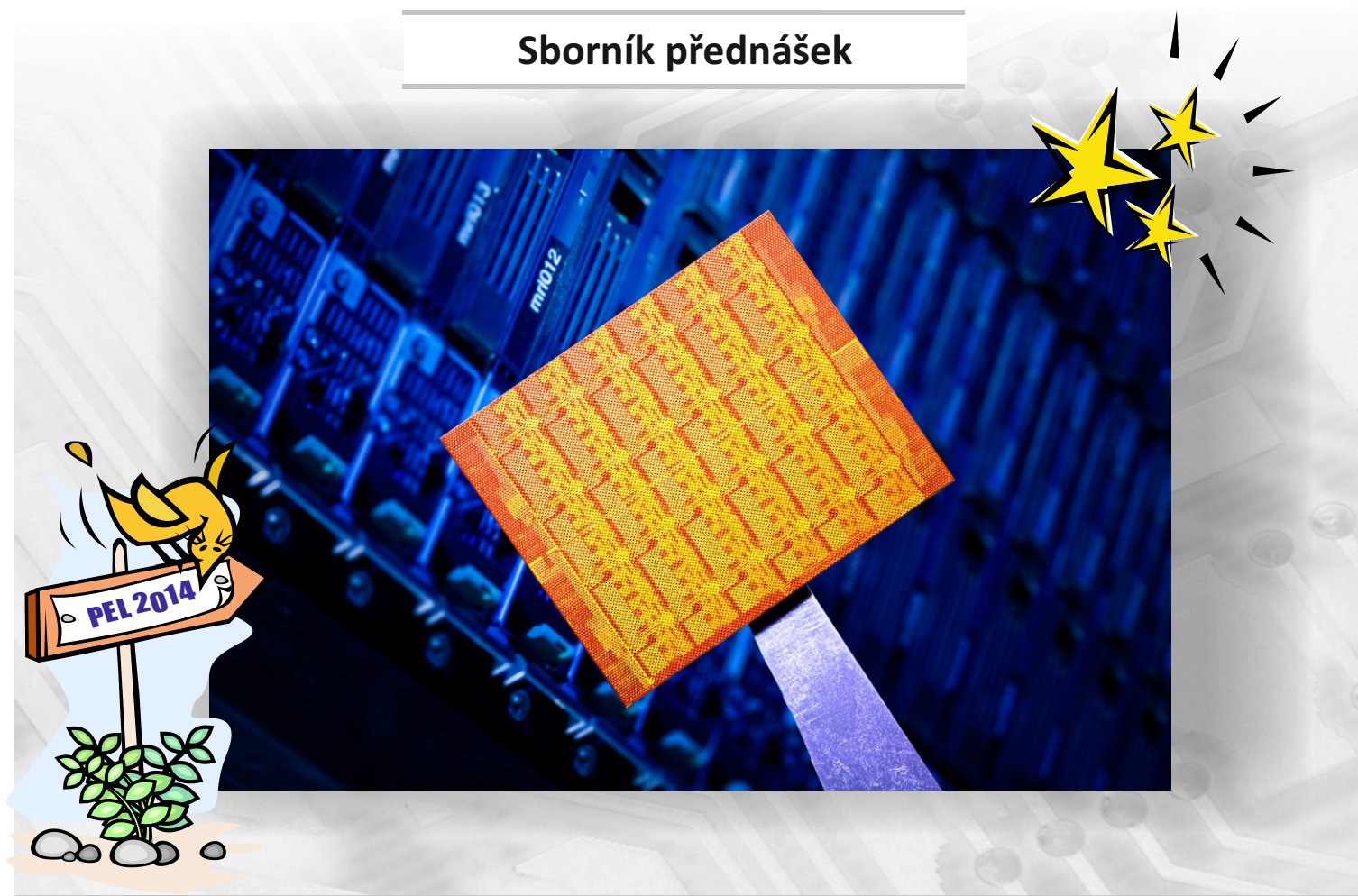
pořádá pod záštitou PaedDr. Petra Navrátila - člena Rady Zlínského kraje

PERSPEKTIVY ELEKTRONIKY 2014

8. CELOSTÁTNÍ SEMINÁŘ UČITELŮ STŘEDNÍCH ŠKOL,

který se koná dne 15. dubna 2014 v hlavní budově SŠIEŘ Rožnov pod Radhoštěm, Školní 1610,
Rožnov pod Radhoštěm.

Sborník přednášek



ON Semiconductor



PERSPEKTIVY ELEKTRONIKY 2014

8. CELOSTÁTNÍ SEMINÁŘ UČITELŮ STŘEDNÍCH ŠKOL

SBORNÍK PŘEDNÁŠEK

Střední škola informatiky, elektrotechniky a řemesel

Rožnov pod Radhoštěm

15. dubna 2014

Redakční rada PEL 2014:

Mgr. Miroslav Trefil

Mgr. Petr Fuchs

Ing. Anna Zejdová

Ing. Bohumil Federmann

Jan Koleček

Ing. Jiří Král

Ing. Jiří Kubeša

Ing. Petr Michalík

Ing. Jan Pilčík

Ing. Petr Stavinoha

Ing. Evžen Žabčík

Grafický návrh obálky:

Mgr. Petr Fuchs

Sazba a tisk:

SŠIEŘ Rožnov pod Radhoštěm, Školní 1610, 756 61

© 2014

ISBN 978-80-260-5776-5

OBSAH

Program semináře PEL 2014	9
Mobilní komunikace dnes a zítra.....	11
Potřeby trhu práce ČR a EU a perspektiva SŠ a VŠ při současném propadu počtu absolventů technických oborů	31
Perspektivy elektroniky	37
Technika FPGA	49
Mikrovlákná skenovací mikroskopie	59
Základní aktivní trojpóly v elektronice	69
Aplikace hradlových polí Vývojový kit ZYNQ – 7000	79
SystemC – nástroje a prostředí pro návrh systémů na čipech moderních rozsáhlých hradlových polí a polí se smíšenými signály	85
Modernizace výuky odborných předmětů v oblasti ICT a elektrotechniky	95

PROGRAM SEMINÁŘE PEL 2014

15. duben 2014

- 8:15 – 9:15 **Prezentace účastníků semináře v kinosále školy**
- 9:15 **Uvítání hostů- zahájení**
Mgr. Miroslav Trefil, ředitel školy
- 9:20 **Organizační pokyny**
Mgr. Petr Fuchs, zástupce ředitele školy
- 9:25 **Vystoupení zástupců firmy Freescale zabývající se vývojem polovodičových součástek**
- 9:30 – 12:00 **Vystoupení přednášejících – dopolední blok**
Aplikace moderních hradlových polí – Systém C
prof. Ing. Karel Vlček, CSc., UTB Zlín, FAI
Mikrovlákná skenovací mikroskopie
Ing. Milan Navrátil, Ph.D., UTB Zlín, FAI
Moderní senzory a jejich aplikace
prof. Ing. Pavel Ripka, CSc., ČVUT Praha, FEL
Perspektivy elektroniky
prof. Ing. Miroslav Husak, CSc., ČVUT Praha, FEL
Mobilní komunikace dnes a zítra
prof. Ing. Stanislav Hanus, CSc., VUT Brno, FEKT
- 12:00 - 12:30 **Přestávka na oběd**
- 12:30 - 15:00 **Vystoupení přednášejících – odpolední blok**
Potřeby trhu práce ČR a EU a perspektiva SŠ a VŠ při současném propadu počtu absolventů technických oborů
doc. Ing. Jiří Háze, Ph.D., VUT Brno, FEKT
Technika FPGA
Ing. Vladimír Kašík, Ph.D., VŠB Ostrava, FEI
Základní aktivní troj póly v elektronice
doc. Dr. Ing. Josef Punčochář, VŠB Ostrava, FEI
Aplikace hradlových polí – Vývojový kit ZYNQ – 7000
Ing. Soběslav Valach, VUT Brno, FEKT
Propad počtu absolventů technických oborů a nábor nových zaměstnanců pro ON SEMI
Ing. Aleš Cáb, Výrobní ředitel ON Semiconductor v ČR
- 15:00 - 15:30 **Přesun do firmy On Semiconductor Czech Republic Rožnov p.R.**
- 15:30 - 16:30 **Prohlídka Design Centra ON Semiconductor**
- 16:30 - 17:00 **Ukončení semináře, malé pohoštění**
Mgr. Miroslav Trefil, ředitel školy
Ing. Aleš Cáb, Výrobní ředitel ON Semiconductor v ČR

MOBILNÍ KOMUNIKACE DNES A ZÍTRA

Stanislav Hanus

Ústav radioelektroniky, FEKT VUT v Brně, Technická 12, 616 00 Brno
hanus@feec.vutbr.cz

Abstrakt:

Za pouhých dvacet let se mobilní komunikace staly nedílnou součástí našeho profesního i soukromého života. Jejich dynamický rozvoj byl vynucen neustále rostoucí potřebou komunikace a výměny informací mezi dvěma nebo několika mobilními subjekty, které se nacházejí na libovolném místě zemského povrchu nebo v jeho těsné blízkosti. Následující text stručně popisuje současný stav i perspektivy mobilních komunikací.

1. Úvod

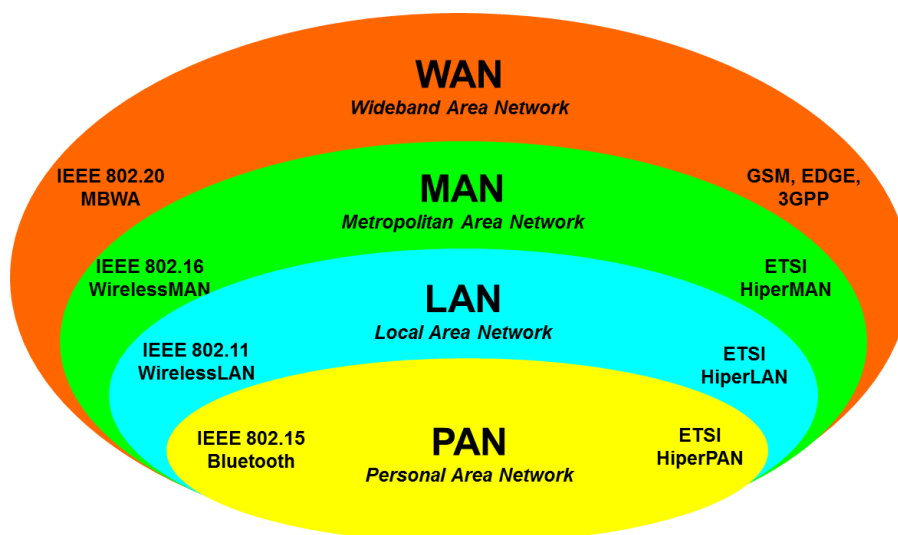
V dynamickém vývoji systémů mobilních komunikací lze vysledovat určité etapy. Původní analogové systémy 1. generace (1G), určené pro přenos hovorových signálů, byly koncem minulého století nahrazeny digitálními systémy 2. generace. Na ně vývojově navázaly tzv. systémy 2,5 generace, které již umožnily výrazný podíl datových přenosů. V současné době jsou již zavedeny i systémy 3. generace, vyvinuté podle doporučení ITU (*International Telecommunications Union*). Přenosová rychlost signálu se v průběhu vývoje jednotlivých systémů změnila z jednotek kbit/s až po současné desítky Mbit/s. Vývoj mobilních systémů však pokračuje dále a již dnes jsou zaváděny nové systémy 4. generace umožňující zvýšit přenosovou rychlost signálu až na stovky Mbit/s. Využívají přitom kmitočtová pásma i v oblasti jednotek GHz, nové modulační a přístupové postupy i techniku MIMO. Na obr. 1 je znázorněn vývoj mobilních systémů podle generací. U každé generace systémů jsou uvedeny nejznámější mobilní systémy i typické přenosové rychlosti signálů.

Přibližné časové období:	80. léta	1. polovina 90. let	2. polovina 90. let	2000 - 2010	2010 - 2020	2020 - 2030
Generace:	1G	2G	2,5G	3G	4G	5G
Systémy:	Analogové buňkové (NMT, AMPS) Analogové bezšňůrové telefony	Digitální buňkové (GSM, IS-95) Digitální bezšňůrové telefony (DECT) Paging (ERMES) Datové Satelitní (Iridium, Inmarsat-M)	VoD a DoV (GSM-GPRS, GSM-HSCSD, GSM-EDGE)	3G-buňkový (IMT-2000, UMTS, LTE, WiMAX, WLAN, Bluetooth, ZigBee, WiFi aj.)	4G-buňkové Širokopásmový přístup a WLAN LTE-A HAPS	5G-buňkové Širokopásmový přístup a WLAN ITS ???
Přenosová rychlost:	~ 500 bit/s	~ 9,6 kbit/s	~ 64 kbit/s	do 100 Mbit/s	> 100 Mbit/s	>> 100 Mbit/s ???

Obr. 1 Vývoj mobilních systémů

Mobilní systémy lze rozdělovat podle různých hledisek. Dříve se rozdělovaly podle způsobu realizace rádiového spojení, podle použité technologie, podle struktury použitých sítí, případně podle toho, zda bylo možné systém připojit k veřejné telekomunikační případně i jiné síti nebo zda systémy využívaly družic či nikoliv atd.

V dnešní době se mobilní systémy nejčastěji rozdělují podle velikosti území, které může systém pokrýt svým signálem, obr. 2. Rozlišujeme čtyři základní skupiny mobilních systémů pro vytváření sítí s označením WAN, MAN, LAN a PAN. Uvedené rozdělení je možné provést buď podle označení ETSI (*European Telecommunication Standard Institute*) nebo IEEE (*The Institute of Electrical and Electronics Engineers*).



Obr. 2 Rozdělení mobilních systémů

Typickými systémy pro vytváření tzv. celoplošných sítí WAN jsou systémy GSM, UMTS nebo LTE. Naopak pro vytvoření nejmenší sítě, tzv. osobní sítě PAN, lze využít například systém Bluetooth. Uvedené zkratky jsou někdy doplněny písmenem W (*Wireless*), které zdůrazňuje, že se jedná o bezdrátové sítě (WWAN, WMAN, WLAN a WPAN). V následujícím textu bude uveden základní popis nejznámějších mobilních systémů.

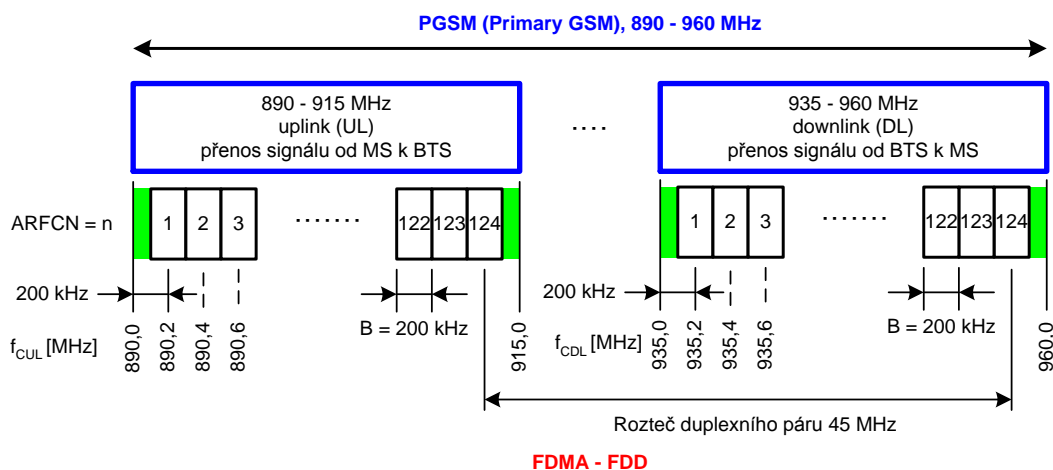
2. Systém GSM

Buňkový mobilní systém GSM (*Global System for Mobile communication*) patří mezi systémy druhé generace (2G), které jsou již plně digitální. V roce 1991 vydal ETSI první část doporučení GSM - Phase 1. Zpočátku se systém používal pouze pro přenos hovorových signálů a datových signálů s přenosovou rychlostí do 9,6 kbit/s. Později se vývoj systému dostal do druhé fáze, GSM - Phase 2 a díky dostatečné flexibilitě systému mohly být do něj implementovány nové technologie GPRS, HSCSD a EDGE (2,5G).

V porovnání s analogovými systémy umožňuje systém GSM dosáhnout kvalitnějšího spojení v nepříznivých podmínkách pozemních rádiových kanálů, efektivněji využívá přidělená kmitočtová pásma a odolnost vůči odposlechu je vysoká. Přenos signálů v digitální formě umožňuje značně rozšířit nabídku poskytovaných služeb.

2.1. Používaná kmitočtová pásma

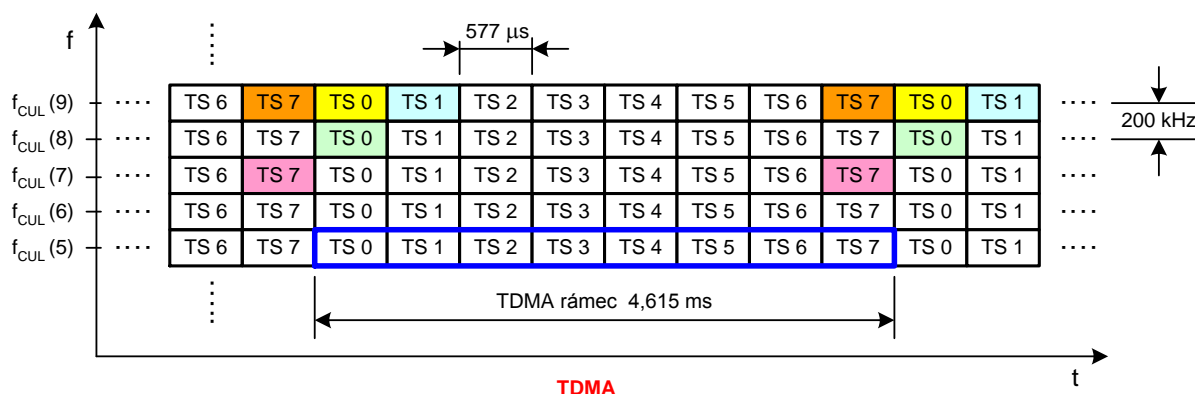
Primární systém GSM, označovaný PGSM (*Primary GSM*) nebo GSM 900, má přidělené kmitočtové pásmo 890 MHz až 960 MHz rozděleno na dvě části. Pro spojení mobilní stanice MS (*Mobile Station*) → základnová stanice BTS (*Base Transceiver Station*), tzv. uplink, je vyhrazeno pásmo 890 MHz až 915 MHz. Pro spojení BTS → MS, tzv. downlink, je vyhrazeno pásmo 935 MHz až 960 MHz. Využívá se přístup FDMA (*Frequency Division Multiple Access*) a kmitočtový duplex FDD (*Frequency Division Duplex*). Základnové stanice vysílají na vyšším kmitočtu duplexního páru, jehož rozteč je 45 MHz. Uvnitř každého pásma je vytvořeno 124 rádiových kanálů, každý s šířkou pásma 200 kHz. Na horním a dolním okraji každého pásma jsou oddělovací úseky s šířkou 100 kHz, obr. 3.



Obr. 3 Rozdělení kmitočtového pásma systému PGSM

Systém PGSM používá tedy 124 duplexních kanálů. V každém rádiovém kanálu je metodou TDMA (*Time Division Multiple Access*) vytvořeno 8 časových intervalů TS (*Time Slot*), které tvoří rámec TDMA, obr. 4. Do každého TS je „vložen“ jeden uživatelský kanál,

při použití zdrojového kodéru s plnou rychlostí FR (*Full Rate*). Celkový počet uživatelských duplexních kanálů při použití kodéru FR je $124.8 = 992$.



Obr. 4 Rozdělení uživatelských kanálů systému GSM

V současné době se běžně používá i rozšířený systém GSM, označovaný EGSM (*Extended GSM*), jehož kmitočtová pásma jsou na spodních okrajích rozšířena o 10 MHz ve srovnání s PGSM. Kapacita systému se zvýšila o 50 duplexních kanálů (tj. 400 uživatelských kanálů).

Systém GSM 1800, používá kmitočtová pásma 1710 MHz až 1785 MHz pro uplink a 1805 MHz až 1880 MHz pro downlink. V těchto pásmech je umístěno 374 rádiových kanálů, každý s šířkou pásma 200 kHz. Rozteč duplexního páru je 95 MHz.

Systém GSM 1900, se používá od roku 1995 v USA. Kmitočtová pásma 1850 MHz až 1910 MHz pro uplink a 1930 MHz až 1990 MHz pro downlink, jsou rozdělena na 299 kanálů, každý s šířkou pásma 200 kHz. Rozteč duplexního páru je 80 MHz. Od GSM 1800 se kromě kmitočtových rozsahů liší i v používaných výkonových úrovních.

Systém GSM-R (*Railway*) se používá v železniční dopravě a umožňuje komunikaci až do rychlosti mobilní stanice 500 km/hod. (ostatní systémy GSM umožňují komunikaci při rychlosti do 250 km/hod.). Kmitočtová pásma 876 MHz až 880 MHz pro uplink a 921 MHz až 925 MHz pro downlink, jsou rozdělena na 19 kanálů, každý s šířkou pásma 200 kHz. Používá dokonalejší zabezpečení signálu.

Uživatelský kanál nemusí využívat po celou dobu komunikace jedinou nosnou, ale podle určitých pravidel může měnit nosnou v pravidelných časových intervalech. Využívají se tzv. pomalé kmitočtové skoky (*Short Frequency Hopping*), kterými se sníží především ztráty způsobené Rayleighovým únikem v případech, kdy se mobilní stanice téměř nepohybuje.

Podle používaných výkonových úrovní jsou mobilní a základnové stanice systému GSM rozděleny do několika tříd. Minimální výkon signálu vysílaného MS je 20 mW (13 dBm). Podle příjmových podmínek může systém měnit vysílací výkony po krocích minimálně 2 dB.

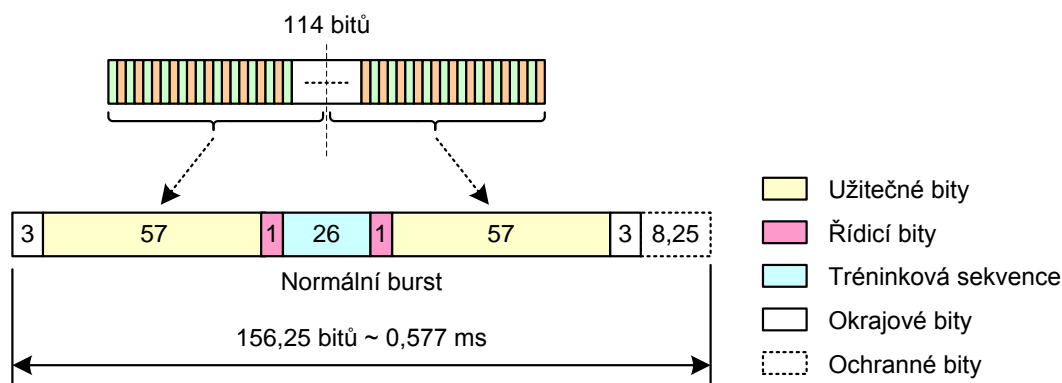
2.2. Zpracování signálu

Základními kroky při zpracování signálu jsou zdrojové kódování, kanálové kódování a digitální modulace. Po převodu analogového hovorového signálu do digitální formy dochází při zdrojovém kódování k redukci redundance (nadbytečnosti) a irelevance (zbytečnosti). Výsledkem je výrazné snížení přenosové rychlosti signálu na hodnotu 13 kbit/s.

Následuje kanálové kódování, při němž je signál zabezpečen proti chybám v přenosovém kanálu. Zabezpečením signálu se zvýší jeho přenosová rychlost na 22,8 kbit/s, avšak

na přijímací straně je možné signál opravit a snížit tak jeho chybovost BER (*Bit Error Rate*). Součástí kanálového kódování je i prokládání (*Interleaving*), kterým se signál zabezpečuje proti shlukovým chybám.

Výsledný signál je rozdělen do skupin po 114 bitech. Každá vytvořená skupina 114 bitů se rozdělí na dvě části po 57 bitech, které se doplní o 26 bitů tzv. tréninkové sekvence, dále o 2 bity řídicí a dvě trojice koncových (okrajových) bitů. Výsledkem je blok dat, který tvoří základní jednotku přenosu v systému GSM označovanou názvem normální burst. Tréninková sekvence dat je pravidelně vysílána uprostřed každého burstu pro zajištění funkce ekvalizace. Celková struktura normálního burstu pro přenos hovorových signálů a některých řídicích signálů, je nakreslena na obr. 5. V systému GSM se používá pět různých druhů burstů. Kromě již uvedeného normálního burstu, jsou to dále burst pro kmitočtovou korekci, synchronizační burst, přístupový burst a prázdný burst. Jednotlivé bursty se vkládají do timeslotů (0,577 ms), které vytvářejí hierarchickou strukturu rámců. Přenosová rychlost signálu GSM v rádiovém kanálu je 270,833 kbit/s.



Obr. 5 Normální burst

Osm timeslotů tvoří TDMA rámeček s dobou trvání $8,0577 = 4,615 \text{ ms}$. Tyto rámečky se pravidelně opakují. Hovorový signál sestavený do burstů se tedy přenáší v určitých pravidelně se opakujících timeslotech TDMA rámečků (viz barevně označené TS v obr. 4). Spojením 26 hovorových TDMA rámečků vzniká jeden multirámeček. Dalším spojením 51 multirámečků vznikne jeden superrámeček a konečně spojením 2048 superrámečků vznikne jeden hyperrámeček s dobou periody 3 hodiny, 28 minut, 53 sekund a 760 ms.

V případě, že jsou v TDMA rámečcích přenášeny signalizační signály, potom jeden multirámeček vznikne spojením 51 signalizačních TDMA rámečků. Spojením 26 těchto multirámečků vznikne jeden superrámeček. Uvedená struktura všech rámečků spolu s použitou ekvalizací, dovolují používat mobilní stanice až do rychlosti 250 km/hod.

Signál vytvořený popsáním způsobem se přivádí do modulátoru GMSK, kde je modulován na nosnou. Základním parametrem modulátoru je normovaná šířka pásma $b = B \cdot T_b = 0,3$ (kde B je šířka pásma Gaussova filtru, T_b je bitová perioda signálu). Modulovaný signál je výkonově zesílen a vyzářen anténou do rádiového prostředí.

2.3. Architektura systému

Blokové schéma systému GSM lze rozdělit na tři základní subsystémy, obr. 6. Subsystém základnových stanic BSS (*Base Station Subsystem*) obsahuje základnové stanice BTS (*Base Transceiver Station*), které jsou řízeny základnovou řídicí jednotkou BSC (*Base Station*

Controller). Prostřednictvím rádiového rozhraní U_m komunikují s tímto subsystémem mobilní stanice MS (*Mobile Station*).

Síťový a spínací (přepojovací) subsystém NSS (*Network and Switching Subsystem*) obsahuje mobilní rádiovou ústřednu MSC (*Mobile Switching Centre*), která je vždy doplněna databází VLR (*Visitor Location Register*) uživatelů, kteří se nacházejí na území obsluhovaném danou ústřednou. Součástí NSS je i databáze HLR (*Home Location Register*), ve které jsou uloženy informace o všech uživatelích daného operátora. V centru autentičnosti AuC (*Authentication Centre*) se generuje tzv. triplet, obsahující údaje nutné pro ověření totožnosti uživatele a šifrování signálu. Registr EIR (*Equipment Identity Register*) obsahuje seznamy MS kradených, porouchaných a registrovaných.

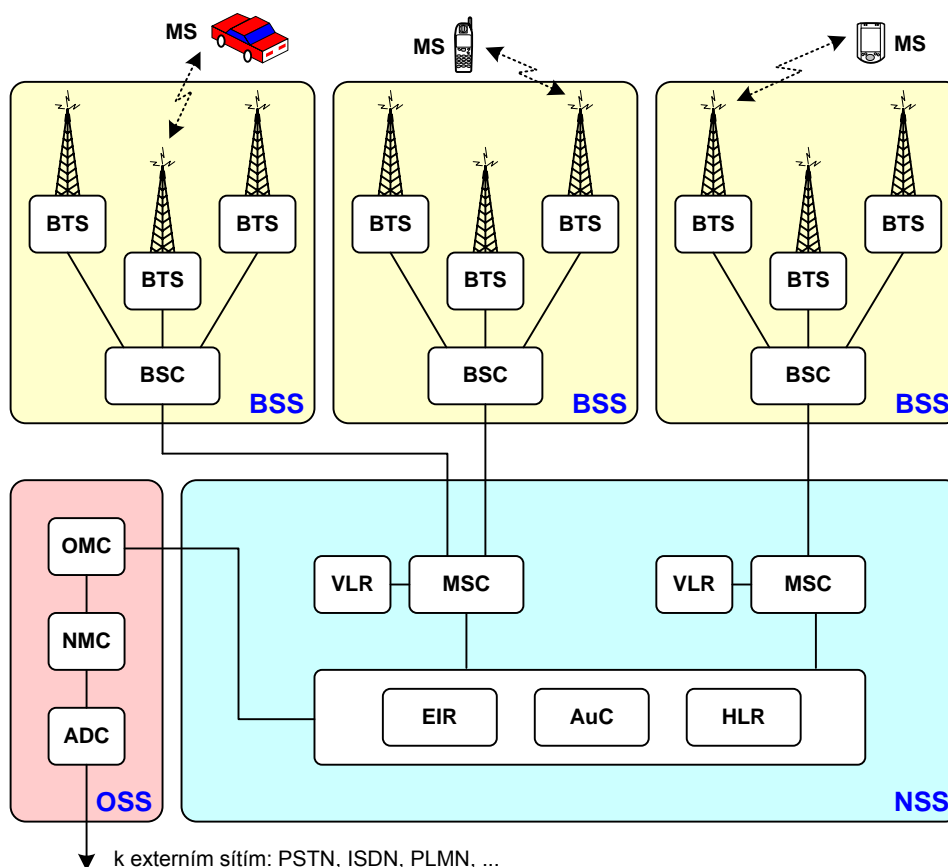
Operační subsystém OSS (*Operation Support Subsystem*) zajišťuje servis a koordinuje funkci celého systému (provoz, údržba, opravy poruch atd.). Jeho součástí je provozní a servisní centrum OMC (*Operational and Maintenance Centre*), centrum managementu sítě NMC (*Network Management Centre*) a administrativní centrum ADC (*Administrative Centre*).

2.4. Datové přenosy v systému GSM

Systém GSM umožňuje přenos dat s rychlostí nejvýše 9,6 kbit/s. Díky jeho flexibilitě však mohly být do něj implementovány systémy, které umožňují přenos dat s výrazně vyšší přenosovou rychlostí.

Implementace systému HSCSD (*High Speed Circuit Switched Data*) do struktury systému GSM nevyžaduje hardwarový zásah a je pouze softwarovou záležitostí. Podobně jako u původního systému GSM využívá i HSCSD tzv. komutované spojování (přepojování okruhů), při kterém je po navázání spojení blokován přenosový kanál i v případě, kdy se jím žádné signály nepřenášejí.

Systém GPRS (*General Packet Radio Service*) implementovaný do systému GSM umožňuje přenos datových paketů přes rádiové rozhraní s teoretickou přenosovou rychlostí až 171,2 kbit/s. Poněvadž systém GSM neumožňuje paketový přenos dat, bylo nutné doplnění jak MS, tak i dalších částí systému GSM o nové bloky PCU (*Packet Controller Unit*), SGSN (*Serving GPRS Support Node*) a GGSN (*Gateway GPRS Support Node*). Paketový přenos dat umožňuje vysoce efektivní využití přenosových prostředků, neboť tyto jsou využívány (blokovány) pouze po dobu přenosu signálu. Síť GPRS využívá ze sítě GSM především její rádiovou část. Pro kódování signálu na rádiovém rozhraní specifikoval ETSI pro GPRS čtyři různá kódovací schémata CS (*Coding Scheme*), Kódovací schéma CS1 představuje nejbezpečnější způsob kódování s vysokou odolností proti chybám na rádiovém rozhraní, což má však za následek nízkou uživatelskou přenosovou rychlost. Naproti tomu kódovací schéma CS4, je z pohledu odolnosti vůči chybám nejméně bezpečné, avšak umožňuje dosáhnout nejvyšší uživatelské přenosové rychlosti. Při využití všech osmi timeslotů jednoho TDMA rámce, lze pro kódovací schéma CS4 stanovit teoretickou přenosovou rychlost fyzické vrstvy systému GPRS na $21,4 \cdot 8 = 171,2 \text{ kbit/s}$. U systému GPRS je provoz rozdělen do 29 tříd, podle maximálního počtu využívaných timeslotů v uplinku a downlinku. O přidělování timeslotů uživateli rozhoduje operátor podle okamžitých provozních podmínek. Přenosová rychlost signálu proto závisí na počtu přidělených timeslotů a na kvalitě rádiového prostředí, podle které se volí vhodné kódovací schéma.



Obr. 6 Architektura systému GSM

Systém EDGE (*Enhanced Data Rates for GSM Evolution*), implementovaný do systému GSM, podporuje paketový přenos dat. Umožňuje zvýšit přenosovou rychlost signálu při alokovaní všech 8 timeslotů až na hodnotu 473,6 kbit/s. Této vysoké rychlosti je dosaženo změnou používané digitální modulace. Zatímco systémy HSCSD i GPRS používají modulaci GMSK, systém EDGE používá i modulaci 8 PSK (*Eight Phase Shift Keying*). Využití tohoto systému vyžadovalo proto zásah do hardwarového řešení BTS i MS. Pro kódování signálů se používá 9 modulačních a kódovacích schémat, označených MCS-1 až MCS-9 (*Modulation and Coding Scheme*), která se volí v závislosti na kvalitě rádiového prostředí, tj. poměru C/I (*Carrier to Interference*). Při použití vyššího modulačního a kódovacího schématu se dosahuje vyšších přenosových rychlostí, avšak zabezpečení signálu proti chybám je menší.

3. Systém UMTS

Systém UMTS (*Universal Mobile Telecommunication System*) je systémem 3G. Podporuje spojování s rychlým paketovým přenosem dat i komutované spojování s přepínáním okruhů. Přenosová rychlost signálu se blíží hodnotě 2 Mbit/s, avšak pouze v případě, kdy je mobilní stanice v klidu. Při zvyšování rychlosti pohybu mobilní stanice, přenosová rychlost signálu klesá. Při maximální rychlosti mobilní stanice cca 350 km/hod. by přenosová rychlost signálu měla být minimálně 144 kbit/s. Systém používá kombinovaný přístup FDMA - CDMA (*Code Division Multiple Access*) a časový i kmitočtový duplex TDD (*Time Division Duplex*), FDD (*Frequency Division Duplex*).

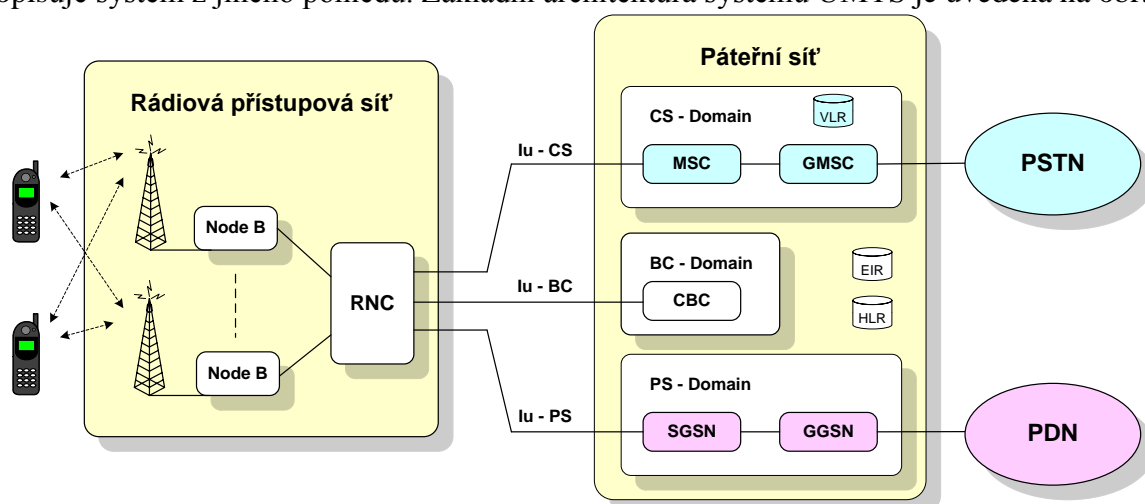
3.1. Kmitočtová pásma

Pro systém UMTS jsou vyhrazena kmitočtová pásma v okolí 2 GHz. Pro nepárovaná pásma 2 a 5 byla zvolena technologie TDD-WCDMA (*Wideband CDMA*), vhodná pro nesymetrické vysokorychlostní datové přenosy hlavně uvnitř budov. Pro párovaná pásma 3 a 6 byla zvolena technologie FDD-WCDMA, vhodná pro velkoplošné pokrytí a pro hovorové a středně rychlé symetrické datové služby. Podobně jako všechny systémy CDMA, je však tato technologie náročná na regulaci výkonu MS i BTS. Kmitočtové pásmo 1 je vyhrazeno pro přístup pomocí systému DECT a pásma 4 a 7 jsou vyhrazena pro družicovou komunikaci systému UMTS.

Základní přístupovou metodou je širokopásmový kódový multiplex s přímým rozptěním DS-WCDMA. Pracuje se základní čipovou rychlostí 3,84 Mchip/s a šířkou pásma rádiového kanálu 5 MHz. Pro downlink se používá modulace QPSK, pro uplink modifikovaná modulace QPSK. Je využito dynamické přidělování kanálů DCA a použit měkký handover. K zajištění celkové dostupnosti i v řídké obydlených nebo nedostupných oblastech využívá systém UMTS kromě svých pozemních složek T-UMTS také družicové složky S-UMTS.

3.2. Architektura systému UMTS

Architekturu systému UMTS je možné znázornit pomocí různých modelů, z nichž každý popisuje systém z jiného pohledu. Základní architektura systému UMTS je uvedena na obr. 7.



Obr. 7 Základní architektura systému UMTS

Základem je pevná páteřní síť CN (*Core Network*), která řídí provoz a spojení v systému. Směrem k účastníkovi následuje rádiová přístupová síť RNS (*Radio Network System*), která plní přenosové a přepojovací funkce. Využívá rádiového rozhraní UTRA (*UMTS Terrestrial Radio Access*), ke kterému mají přístup všichni uživatelé.

Rádiovou přístupovou síť tvoří bloky RNS obsahující základnové stanice v jedné nebo více buňkách, které jsou vzájemně propojeny s řídicí jednotkou RNC (*Radio Network Controller*). Základnová stanice se u systémů 3G označuje Node B. Mezi RNS a dílčími subsystemy (doménami) páteřní sítě (CS – Domain, BC – Domain, PS – Domain) jsou přesně definovaná rozhraní, umožňující páteřní síti využívat i jiné rádiové přístupové technologie. Tato rozhraní se označují Iu-CS (*Circuit Switched*), Iu-BC (*BroadCast*) a Iu-PS (*Packet Switched*).

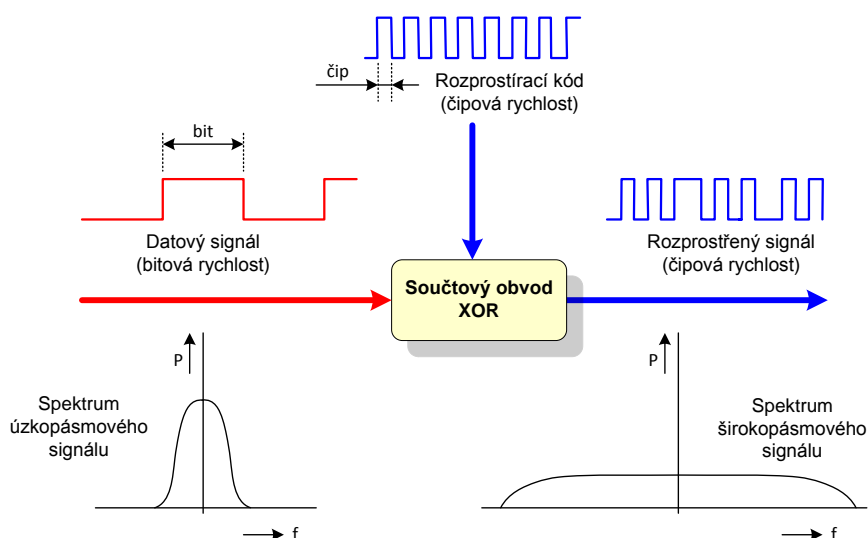
Páteřní síť má podobnou konfiguraci jako systém GSM a je složena ze dvou hlavních provozních částí (subsystémů, domén) určených pro různé druhy provozu. V subsystému s označením CS – Domain je soustředěn pouze komutovaný provoz neboli provoz s přepínáním okruhů (obdoba hlasové komunikace v systému GSM). Naopak v subsystému označeném PS – Domain je soustředěn pouze paketový provoz neboli provoz s přepínáním paketů (obdoba datové komunikace v systému GPRS). Obě domény využívají společně ostatních částí systému (HLR, EIR aj.), které jsou důležité pro identifikaci uživatele, roaming mobilní stanice MS – obecně uživatelského zařízení UE (*User Equipment*) a další služby.

Doména CS zajišťuje nastavení všech částí páteřní sítě pro komutovaný přenos včetně potřebné signalizace. Obsahuje MSC, GMSC, VLR a provádí i všechny potřebné funkce směrem k sítím PSTN (*Public Switched Telephone Network*), resp. ISDN (*Integrated Services Digital Network*). Obdobně doména PS provádí nastavení všech potřebných částí CN pro paketový přenos. Obsahuje SGSN, GGSN a zajišťuje všechny potřebné funkce směrem k paketovým sítím PDN (*Packet Data Network*), např. k síti Internet. Kromě uvedených hlavních domén je součástí CN i doména BC (*BroadCast*) obsahující centrum pro koordinaci vysílání v jednotlivých buňkách CNC (*Cell Broadcast Center*).

3.3. Zpracování a přenos signálů

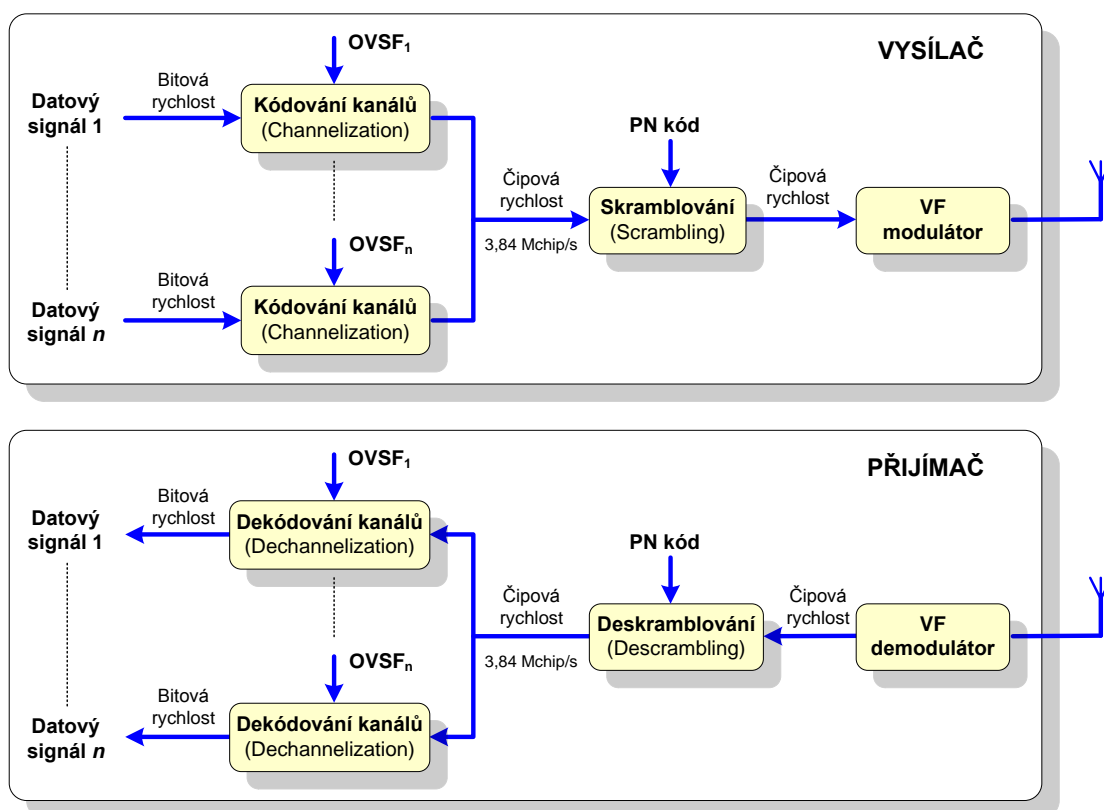
Základní a nejdůležitější operace používané při zpracování signálů v systému UMTS jsou kódování kanálů (*Channelization*) a skramblování (*Scrambling*). Při obou operacích se používají speciální kódy. Pro kódování kanálů se používají ortogonální rozprostírací kódy nazývané Walshovy kódy, zatímco při skramblování se používají pseudonáhodné kódy PN (*Pseudo-Noise codes, Pseudorandom codes*). Walshovy kódy mají výborné vzájemně korelační vlastnosti (pokud jsou kódy synchronní, jejich vzájemně korelační funkce je nulová), avšak špatné autokorelační vlastnosti. Často se také označují zkratkou OVVSF (*Orthogonal Variable Spreading Factor codes*). Pseudonáhodné kódy mají naopak výborné autokorelační vlastnosti (autokorelační funkce má impulzní průběh), avšak špatné vzájemně korelační vlastnosti.

Při kódování kanálů v systému UMTS se používá technika DS-SS (*Direct Sequence – Spread Spectrum*), při níž dochází k rozprostření spektra signálu, obr. 8. Vstupní úzkopásmový datový signál s určitou bitovou rychlostí je v obvodu XOR sčítán s rozprostíracím kódem s konstantní čipovou (*chip*) rychlostí 3,84 Mchip/s. Výstupní signál má rozprostřené spektrum a jeho šířka pásma závisí na vzájemném vztahu bitové rychlosti datového signálu a čipové rychlosti rozprostíracího kódu. Kvantitativně je rozprostření signálu popsáno tzv. činitelem rozprostírání SF (*Spreading Factor*), definovaném jako poměr čipové rychlosti rozprostíracího kódu a bitové rychlosti datového signálu nebo také jako počet čipů připadajících na jeden bit datového signálu. Systém UMTS používá SF v rozsahu 4 až 512. Kódování kanálů se používá za účelem rozlišení různých datových signálů (uživatelských kanálů), které jsou vysílány z jednoho zdroje. Přitom každý uživatelský kanál musí používat jiný rozprostírací kód.



Obr. 8 Příklad rozprostření signálu technikou DS-SS

Skramblování se používá ke vzájemnému oddělení signálů vysílaných z různých zdrojů, například UEs (*User Equipments*) v uplinku nebo Node Bs v downlinku. Poněvadž čipová rychlost PN kódů je stejná jako čipová rychlost OVSF kódů, nedochází při skramblování ke změně přenosové rychlosti signálu. Blokové schéma zpracování signálů v systému UMTS je nakresleno na obr. 9.



Obr. 9 Blokové schéma zpracování signálu v systému UMTS

Poněvadž čipová rychlost v systému UMTS je konstantní, má změna SF (tedy změna Walshova kódu) přímý vliv na uživatelskou přenosovou rychlost signálu. Při větším SF je

menší uživatelská přenosová rychlost signálu, avšak větší zisk rozprostírání snižuje citlivost přenosu k interferencím. Naopak při menším SF je uživatelská přenosová rychlost větší, ale citlivost přenosu k interferencím se zvyšuje z důvodu menšího zisku rozprostírání.

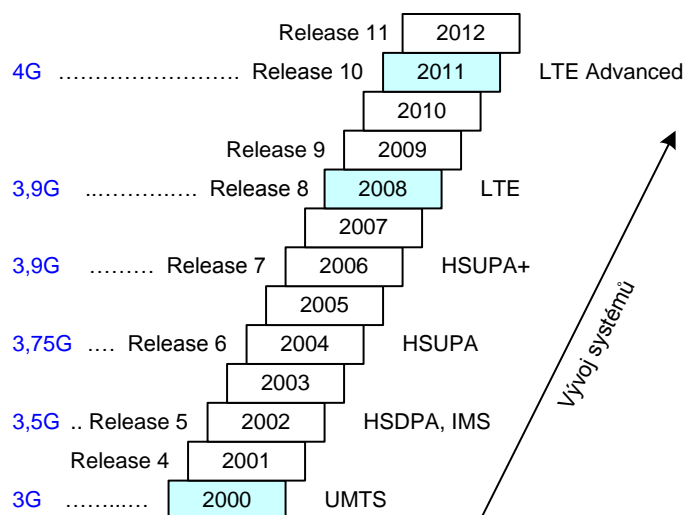
Pro rozlišení signálů je v systému UMTS přidělen každému Node B a každému UE jedinečný skramblovací kód. Všechny signály jsou tedy ve stejném čase přenášeny stejným rádiovým kanálem, avšak jejich rozlišení je provedeno jedinečným skramblovacím kódem. Tímto se systém UMTS (obecně systémy CDMA) výrazně odlišuje například od systému GSM, který každému uživateli přidělí pro komunikaci určitý rádiový kanál a v něm určitý timeslot. V každém okamžiku je tedy v jednom rádiovém kanálu signál pouze jednoho uživatele. U systému UMTS jsou v downlinku rozlišeny skramblovacími kódy jednotlivé Node Bs (buňky) a podobně v uplinku jsou těmito kódy rozlišeny jednotlivé UEs.

Počet ortogonálních Walshových kódů používaných v systému UMTS je však omezen. Například libovolný Node B může realizovat pouze omezený počet spojení, a to v rozsahu od 4 (pro SF = 4) do 512 (pro SF = 512), tj. používá omezený počet ortogonálních kódů.

3.4. Vývoj systému UMTS

V rámci partnerského projektu 3GPP (*The 3rd Generation Partnership Project*) byly prováděny další postupné úpravy a vylepšení systému UMTS. Popisy nových úprav systému UMTS jsou vydávány přibližně každý rok v doporučeních 3GPP (*Releases*). Dosavadní vývoj systému UMTS (3G) k systému LTE Advanced (4G) je přehledně znázorněn na obr. 10.

V systému HSDPA (*High Speed Downlink Packet Access*) je již používán pouze paketový přenos. Pro přenos hlasu používá systém protokol SIP (*Session Initial Protocol*), pro přenos dat protokoly IPv4, resp. IPv6. Implementaci lze jednoduše realizovat softwarovou úpravou. Technologie HSDPA umožňuje výrazné zvýšení přenosové rychlosti v downlinku až na 14,4 Mbit/s v jedné buňce (reálně dosahuje uživatel cca 1,8 Mbit/s). V rámci Release 5 jsou stanoveny celkem čtyři verze HSDPA, které se liší maximální přenosovou rychlostí: 1,8 Mbit/s, 3,6 Mbit/s, 7,2 Mbit/s a 14,4 Mbit/s. Vyšší rychlosti je dosaženo především využitím vícecestavové modulace (QPSK, 16QAM), přidáním dalších kanálů, rychlým přidělováním rádiových prostředků atd.



Obr. 10 Jednotlivé etapy vývoje systému UMTS k systému LTE Advanced

Technologie HSUPA (*High Speed Uplink Packet Access*) umožňuje zvýšení přenosové rychlosti v uplinku až na 5,76 Mbit/s pro jednu buňku (reálně dosahuje uživatel 1,4 Mbit/s). Nově také umožňuje spolupráci 3GPP systémů se sítěmi WLAN (způsoby řešení - scenario 1

až 6). Implementace technologie HSUPA je opět pouze softwarovou záležitostí. Využívají se obdobné úpravy jako u HSDPA, tj. přidání dalších přenosových kanálů, rychlé přidělování rádiových prostředků atd.

Technologie HSPA+ (*High Speed Packet Access* +) využívá všech vylepšení, která byla do systému UMTS implementována. Obě používané technologie HSDPA a HSUPA, pro zlepšení přenosu signálu v downlinku a uplinku, jsou na sobě zcela nezávislé a v praxi mohou být do systému implementovány odděleně. Technologie HSPA+ využívá HSDPA a HSUPA současně a navíc umožňuje využití účinnější modulace a techniky MIMO 2x2 (*Multiple Input Multiple Output*). Umožňuje použít i vyšší čipovou rychlost 7,68 Mchip/s. V downlinku (HSDPA) je použita modulace 64QAM, kdy jeden stav nosné reprezentuje 6 bitů. Ve srovnání s původně používanou modulací 16QAM, kdy jeden stav nosné reprezentuje 4 bity, tak dochází ke zvýšení přenosové rychlosti datového signálu o 50%. Modulace 64QAM však vyžaduje, pro přenos signálu s definovanou chybovostí BER, přenosové prostředí s poměrem C/I alespoň 27 dB. Proto není tato modulace používána v celé buňce, ale pouze v blízkosti Node B, kdy je možné dosáhnout přenosové rychlosti až 21,6 Mbit/s. V uplinku (HSUPA) je možné používat i modulaci 16QAM, což umožňuje zvýšit přenosovou rychlost až na 11,5 Mbit/s.

Technika MIMO obecně využívá několik vysílacích a několik přijímacích antén, mezi kterými dochází k přenosu signálu různými nezávislými cestami. Počet přijímacích antén n_R by měl být nejméně roven počtu vysílacích antén n_T , v praxi však obvykle platí $n_R = n_T = n$. Každá anténa plní funkci vysílací i přijímací. Přenos z i -té vysílací antény do j -té přijímací antény je vyjádřen koeficientem h_{ij} . Přenosový systém MIMO je potom popsán maticí kanálu H . Z každé vysílací antény je vysílán jedinečný datový signál, a to ve společném rádiovém kanálu, tj. na stejné nosné. V ideálním případě by jednotlivé vysílané signály měly mít nulovou vzájemnou korelaci. Pro rozlišení těchto signálů na přijímací straně jsou signály pro každou vysílací anténu před modulací kódovány vhodnými ortogonálními kódy. Signály se do přijímacích antén mohou šířit po přímých drahách nebo i odrazem od různých překážek. Do každé přijímací antény tak může přijít směs signálů ze všech vysílacích antén. V přijímači jsou signály nejdříve selektivně odděleny, následně demodulovány, dekódovány a potom se jejich vhodnou kombinací vytvoří výstupní signál.

Technika MIMO tak umožňuje umělým vytvořením většího počtu přenosových cest v jediném rádiovém kanálu dosáhnout výrazné navýšení přenosové kapacity ve srovnání s klasickými systémy SISO. Pomocí tohoto tzv. prostorového multiplexování signálů je tedy možné přenést různé datové toky současně, přičemž tyto datové toky mohou patřit jednomu uživateli (*single user* MIMO, SU-MIMO) nebo různým uživatelům (*multi user* MIMO, MU-MIMO). Prostorové multiplexování lze využít pouze v případě, kdy to rádiový kanál umožní. Technologie HSPA+ podporuje techniku MIMO, a to pouze v downlinku (HSDPA) a jen s modulací QPSK nebo 16QAM. Použitím MIMO 2x2 se přenosová rychlost v downlinku zvýší až na 28 Mbit/s.

4. Systém LTE

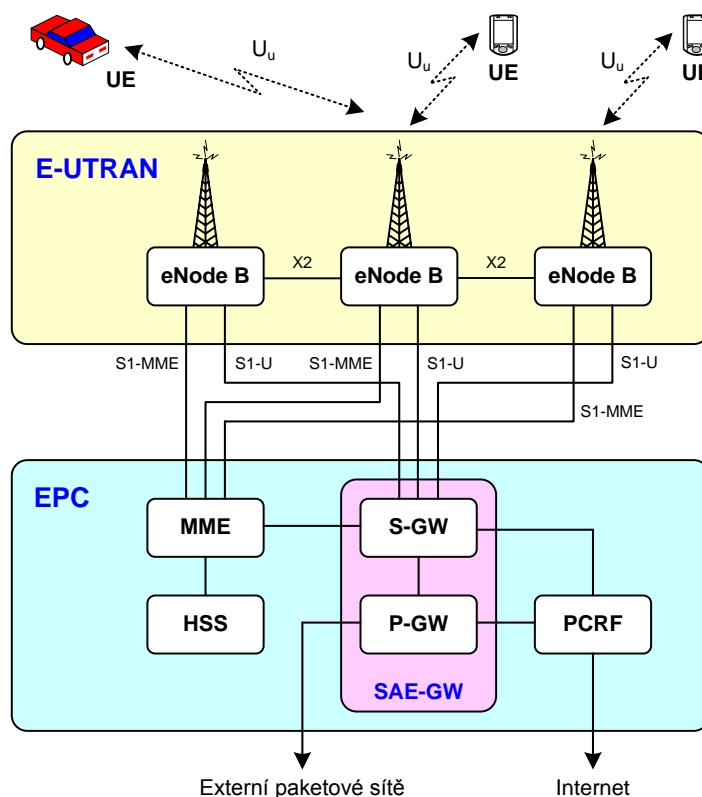
Systém LTE (*The Long Term Evolution of UMTS*) je jedním z posledních kroků ve vývoji mobilního systému UMTS. Jeho specifikace byly vydány pod označením Release 8 v roce 2008. Systém je ryze paketový (nepoužívá již komutovaný přenos), založený na protokolu IP, přesněji na protokolu MIP (*Mobile IP*). Výhodou je malá odezva na rádiovém rozhraní (< 10 ms), spektrální účinnost (3-4x vyšší než HSPA) a především vyšší přenosová rychlost signálu, dosahující hodnot až stovky Mbit/s.

4.1. Architektura systému LTE

Struktura sítě se skládá ze dvou základních částí, tzv. páteřní sítě EPC (*Evolved Packet Core*) a přístupové sítě E-UTRAN (*Evolved Universal Terrestrial Radio Access Network*), obr. 11. Ve struktuře systému dochází k výrazné změně, a to směrem k „vyšší inteligenci“ základnové stanice, která je označována eNode B (*evolved Node B*).

Rádiová přístupová síť E-UTRAN zajišťuje propojení mezi paketovou sítí EPC a jednotlivými UEs. Obsahuje základnové stanice eNode B, které zajišťují komunikaci s UEs přes rádiové rozhraní označené U_u . Každý eNode B plní funkci základnové stanice i řídicí jednotky rádiové sítě. Zajišťuje rádiové zdroje, pokrytí dané oblasti rádiovým signálem a přiděluje rádiové prostředky podle požadavků kvality služeb QoS. Provádí měření úrovně signálu i interferencí a na základě těchto údajů a obdobných údajů z UE rozhoduje o provedení handoveru.

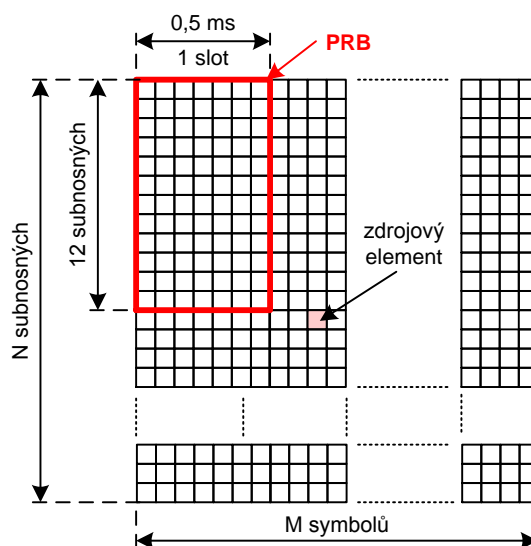
Uživatelské zařízení UE (*User Equipment*) se skládá z několika částí. SIM karta může být ve formě USIM (*UMTS SIM*) nebo ISIM (*IP Multimedia Subsystem SIM*) nebo může být společná UICC (*UMTS Integrated Circuit Card*). Mobilní zařízení ME (*Mobile Equipment*) zajišťuje rádiové připojení do sítě, ověřování identifikace, provedení autentifikace, komunikaci se SIM, aktivaci a deaktivaci podle požadavku terminálu, bezpečnost přenosu apod. Terminál TE (*Terminal Equipment*) obsahuje reproduktor, mikrofon, snímač obrazu, displej, operační systém, LTE ovladače, aplikace. Části ME a TE mohou být integrovány do jednoho zařízení nebo mohou být odděleny, například při použití notebooku. Uživatelská zařízení UE se rozdělují podle maximálních přenosových rychlostí a podle maximálního výkonu do několika tříd.



Obr. 11 Architektura sítě LTE

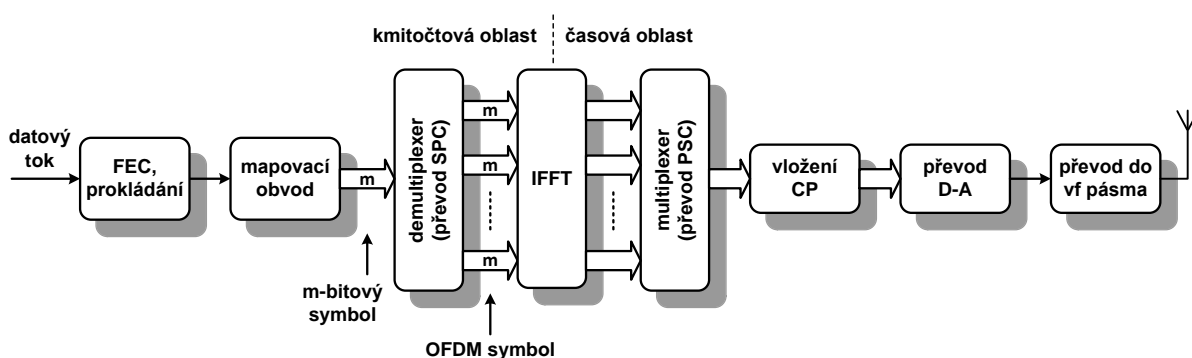
4.2. Přenos signálu

Pro downlink a uplink se v systému LTE používají různé způsoby multiplexování (přístupové techniky). Pro uplink se používá SC-FDMA (*Single Carrier - Frequency Division Multiple Access*), pro downlink se využívá OFDMA (*Orthogonal Frequency Division Multiple Access*) s konstantním rozestupem subnosných 15 kHz, který nezávisí na šířce pásma rádiového kanálu. Důvodem pro použití přístupu OFDMA v downlinku je vyšší spektrální účinnost, odolnost signálu při průchodu únikovým rádiovým kanálem, škálovatelnost pásma, jednodušší implementace MIMO, koordinace subnosných apod.



Obr. 12 Fyzický zdrojový blok PRB

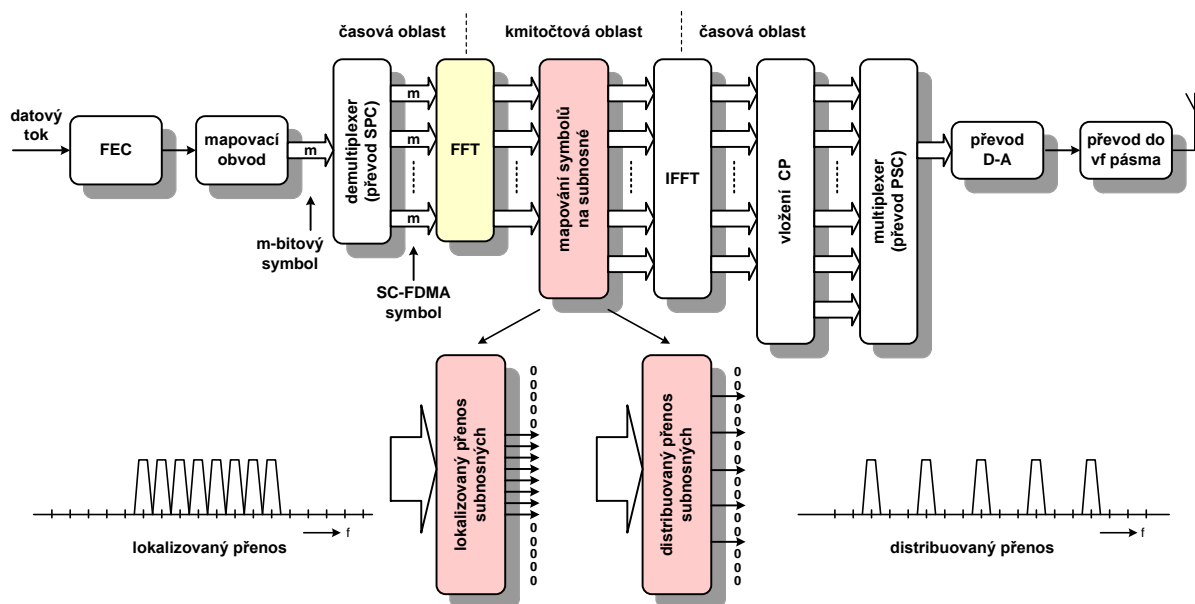
Fyzický zdrojový blok PRB je základní kmitočtové časovou jednotkou v systému LTE a obsahuje 12 subnosných umístěných vedle sebe pro jeden časový slot délky 0,5 ms, obr. 12. Je to nejmenší zdrojový blok přiřazený eNode B pro kmitočtové plánování (180 kHz x 0,5 ms). Každý PRB se skládá ze zdrojových elementů, z nichž každý reprezentuje jednu subnosnou po dobu jedné symbolové periody OFDM (DL) nebo SC-FDMA (UL).



Obr. 13 Zpracování signálu LTE v downlinku (OFDMA)

Zpracování signálu v downlinku je znázorněno na obr. 13. Datový signál, podrobený kanálovému kódování FEC a prokládání, je mapován do m-bitových symbolů podle použité digitální modulace (QPSK, 16QAM, 64QAM). V sériově paralelním převodníku SPC

se vytvoří OFDM symboly, které jsou přiváděny na vstupy procesoru, realizujícího transformaci IFFT (*Inverse Fast Fourier Transform*). Každý OFDM symbol tvoří N vzorků (každý vzorek je vyjádřen m bity), které reprezentují uvažovaný signál v kmitočtové oblasti. Výsledkem transformace je opět N vzorků, které však nyní reprezentují uvažovaný signál v časové oblasti. Po paralelně sériovém převodu PSC je do signálu vkládán CP (*Cyclic Prefix*), který omezuje vliv ISI (*Inter Symbol Interference*) a ICI (*Inter Carrier Interference*). Po digitálně analogovém převodu D-A je signál OFDM v základním pásmu (*Base Band*). Následuje konverze signálu do vysokofrekvenčního pásma (obvykle ještě přes mezifrekvenční pásmo), jeho výkonové zesílení a vyzáření anténou do rádiového prostředí.



Obr. 14 Zpracování signálu LTE v uplinku (SC-FDMA)

V uplinku používá systém LTE přístup SC-FDMA. Důvodem byl prioritní požadavek na nízký odběr UE a s tím spojené nízké provozní náklady. Při použití OFDMA by v důsledku velkého PAPR (*Peak-to-Average Power Ratio*) nemohly být uvedené požadavky splněny. Velká hodnota PAPR klade také zvýšené požadavky na vysokofrekvenční výkonové zesilovače, které musejí být lineární, což by navíc způsobilo komplikace při konstrukci UE. Výhody přístupu SC-FDMA jsou tedy nízký PAPR, lepší účinnost vysokofrekvenčního výkonového zesilovače a nižší odběr UE.

Při vytváření signálu se využívá modulace OFDM s rozprostíráním signálu pomocí diskrétní Fourierovy transformace DFT-S-OFDM (*Discrete Fourier Transform Spread OFDM*), obr. 14. Úprava blokového schématu modulátoru spočívá tedy v zařazení signálového procesoru (před blok IFFT), který provádí diskrétní Fourierovu transformaci DFT, nejčastěji FFT. Každý datový symbol je tak rozprostřen na všechny subnosné, a tím je zamezeno zvyšování PAPR. Hodnota PAPR se tedy blíží hodnotě při použití jedné nosné.

Mobilní systémy popsané v předchozích kapitolách se používají k vytvoření celoplošných sítí WWAN. S těmito buňkovými sítěmi může být pokryto teoreticky nekonečně rozlehlé území.

5. Systém Wi-Fi

Pro pokrytí území s menší rozlohou se používají mobilní systémy řazené do skupiny s označením WLAN. K nejrozšířenějším patří systémy podle standardů IEEE 802.11. Celosvětově jsou tyto systémy známé pod označením Wi-Fi (*Wireless Fidelity*), i když toto označení není z hlediska vývoje zcela přesné. Využívají se především pro mobilní přístup k síti Internet. Technologie Wi-Fi je nedílnou součástí vybavení notebooků a mobilních telefonů.

Původní systém podle standardu IEEE 802.11 byl vytvořený v roce 1997 jako bezdrátová alternativa k pevným sítím typu Ethernet. Vývoj tohoto systému však pokračoval rychlým tempem a v poměrně krátké době bylo vytvořeno velké množství různých verzí, jejichž označení se liší pouze malým písmenem latinské abecedy. Přehled nejpoužívanějších standardů IEEE 802.11 je uveden v tab. 1.

Tab. 1: Přehled nejpoužívanějších standardů IEEE 802.11

Standard IEEE	Rok vydání standardu	Kmitočtové Pásmo [GHz]	Přenosová rychlost [Mbit/s]	Modulace	Poznámka
802.11	1997	2,4	1; 2	DBPSK a DQPSK	Barkerovo kódování
802.11b	1999	2,4	1; 2; 5,5; 11	DBPSK a DQPSK	Barkerovo kódování
802.11g	2003	2,4	max. 54	DBPSK až 64QAM	OFDM
802.11a	1999	5	max. 54	BPSK až 64QAM	OFDM
802.11n	2009	2,4 nebo 5	max. 540	DBPSK až 64QAM	OFDM, MIMO

Většina těchto systémů pracuje v bezlicenčním kmitočtovém pásmu 2,4 GHz, označovaném zkratkou ISM (*Industrial, Scientific, Medical*). Provoz bezdrátových zařízení v tomto pásmu nemusí schvalovat Český telekomunikační úřad (ČTÚ), avšak zařízení nesmí překročit maximální vyzářený výkon (EIRP) 100 mW a maximální výkonovou spektrální hustotu 10 dBm / 1 MHz. Kromě systémů Wi-Fi pracují totiž v pásmu ISM i systémy Bluetooth, ZigBee, kuchyňské mikrovlnné trouby a další průmyslová zařízení, včetně lékařských diagnostických přístrojů.

První specifikace standardu 802.11 definovala v roce 1997 tři typy fyzické vrstvy: FH-SS (*Frequency Hopping – Spread Spectrum*), DS-SS (*Direct Sequence – Spread Spectrum*) a přenos infračerveným zářením IR. Při revizi standardu v roce 1999 a 2003 byly tyto vrstvy doplněny o OFDM (*Orthogonal Frequency Division Multiplex*) a HR/DS-SS (*High Rate DS-SS*). Ve všech systémech Wi-Fi je tedy používána technika rozprostřeného spektra.

FH-SS – Podle pseudonáhodné sekvence se mění nosná vysílaného signálu. Šířka pásma rádiového kanálu je obvykle 1 MHz. Technika FH-SS bylo z novějších standardů vyřazena.

DS-SS – Přímé rozptření signálu pseudonáhodnou sekvencí do šířky pásma 20 MHz. Původní standard 802.11 definuje fyzickou vrstvu DS-SS o rychlosti 2 Mbit/s, standard 802.11b přináší zvýšení rychlosti až do 11 Mbit/s (HR/DS-SS).

OFDM – Spektrum výsledného signálu OFDM obsahuje velké množství subnosných, jejichž kmitočty splňují podmínku ortogonality (odstup sousedních subnosných je roven převrácené hodnotě symbolové periody). Datový signál modulovaný na každou subnosnou (BPSK až 64QAM) má relativně malou přenosovou rychlost. Přenosová rychlost výsledného signálu je dána součtem přenosových rychlostí dílčích signálů na všech subnosných. Tuto techniku používá standard 802.11a (5 GHz) a od roku 2003 i standard 802.11g (celkový počet subnosných je 52, jejich kmitočtový odstup je 312,5 kHz).

Výrazné zvýšení přenosové rychlosti signálu u standardu 802.11n je dosaženo využitím možností technologie MIMO (*Multiple Input Multiple Output*), která významně zvyšuje průchodnost dat v rádiovém prostředí a tím i kapacitu systému bez nutnosti rozšíření kmitočtového pásma rádiového kanálu a bez zvýšení výkonu vysílaného signálu. Využívá soustavy několika vysílacích a několika přijímacích antén (v praxi zatím pouze 2x2, 4x4). Všechny vysílací antény vysílají současně ve stejném rádiovém kanálu, ale každá anténa vysílá jiný datový signál. Proto musí být signály každého dílčího vysílače vhodným způsobem kódovány v kodéru MIMO, např. ortogonálními kódy, zavedením časového ofsetu (*Space Time MIMO* – prostorově časová diverzita), případně se použijí různé modulace apod. Pokud jsou vysílací antény dostatečně od sebe vzdálené, jsou vysílané signály vzájemně málo korelované (v ideálním případě jsou nekorelované), což je nutná podmínka pro zvýšení celkové přenosové rychlosti signálu. Každá přijímací anténa může přijímat signály od všech vysílacích antén. Přijímané signály mohou přicházet po přímých drahách, ale i po drahách vytvořených odrazem signálu od různých překážek. Přijímač signály selektivně oddělí, demoduluje, dekóduje a vhodnou kombinační metodou vytváří výsledný signál.

6. Systém Bluetooth

Systém Bluetooth je typickým představitelem mobilních systémů pro vytváření sítí WPAN. Je definován standardem IEEE 802.15.1 a ETSI HiperPAN. Původně byl vyvinut jako náhrada kabeláže propojující zařízení IT (např. PC, tiskárnu, skener apod.). V současné době se využívá i k propojení jiných zařízení, např. notebooků, mobilních telefonů apod. do vzdálenosti až 100 metrů, podle výkonové třídy. K přednostem systému patří nízký vysílací výkon, bezpečnost a robustnost přenosu a nízká spotřeba terminálů. Od svého vzniku v roce 1998 se systém Bluetooth postupně vyvíjel a vznikaly jeho novější verze, které jsou vždy zpětně kompatibilní s verzemi předchozími, tab. 2.

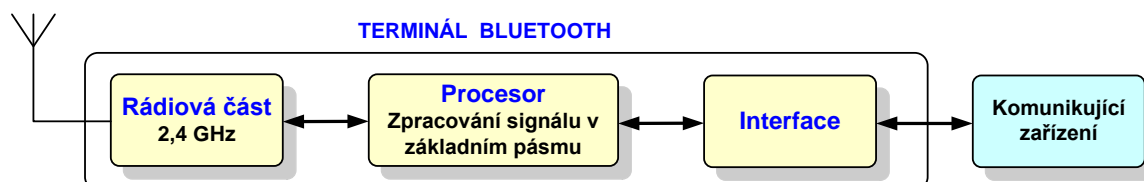
Systém Bluetooth pracuje v kmitočtovém pásmu ISM 2,4 GHz. V Evropě se používá 79 rádiových kanálů s šířkou pásma 1 MHz. Využívá se kmitočtového skákání FH-SS, kdy se během jedné sekundy provede 1600 přeskoků (přeladění) mezi používanými nosnými. Doba vysílání na jedné nosné je 625 μ s.

Minimálně 2 a maximálně 8 zařízení (terminálů) Bluetooth může vytvářet malé síťové struktury označované názvem piconet (*piconet* - pikosít'). Využívá se topologie „ad hoc“ (komunikace *point to point* nebo *point to multipoint*), případně topologie „scatter ad hoc“ (rozptýlená topologie „ad hoc“). Jednotlivé terminály jsou si rovnocenné a neexistuje mezi nimi žádná hierarchie. Avšak terminál, který první iniciuje sestavení sítě, se stává řídicí jednotkou (*master*) a plní řídicí funkce. Provádí identifikaci uživatelů, zajištění jejich vzájemné synchronizace apod. Ostatní terminály se stávají podřízenými jednotkami (*slave*). Každá síť má svoji vlastní pseudonáhodnou sekvenci, která je dána řídicí jednotkou.

Tab. 2: Přehled nejdůležitějších verzí systému Bluetooth

Verze Bluetooth	Rok vydání standardu	Základní popis	Základní parametry
0.7	1998	První verze standardu obsahující definici Base-bandu a Link Manager protokolu	FH, GFSK, 1 Mbit/s
1.0a	1999	První veřejně dostupná verze standardu, interoperabilita mezi výrobci	FH, GFSK, 1 Mbit/s
1.0b	1999	Problémy s interoperabilitou mezi různými výrobci, další rozšíření standardu	FH, GFSK, 1 Mbit/s
1.1	2001	Oprava většiny chyb verze 1.0b, přidána podpora nešifrovaných signálů, indikátor velikosti přijímaného signálu (RSSI), řízení výkonu	FH, GFSK, 1 Mbit/s
1.2	2003	Zvýšená odolnost proti nežádoucím interferencím, zvýšená kvalita přenosu signálu v audio kanálech	FH / AFH, GFSK, 1 Mbit/s
2.0 + EDR	2004	Zvýšená rychlost přenosu při použití EDR	FH / AFH, GFSK (1 Mbit/s), pi/4 DQPSK (2 Mbit/s), 8 DPSK (3 Mbit/s)
2.1 + EDR	2007	Vylepšený proces párování, nižší spotřeba energie, podpora NFC (<i>Near Field Communication</i>)	FH / AFH, GFSK (1 Mbit/s), pi/4 DQPSK (2 Mbit/s), 8 DPSK (3 Mbit/s)
3.0	2009	Vylepšení řízení výkonu EPC, spolupráce se systémy Wi-Fi	24 Mbit/s
4.0	2010	Menší spotřeba energie, podpora šifrování AES-128	24 Mbit/s

Každé mobilní nebo pevné zařízení, které je součástí sítě pikonet, obsahuje terminál, v němž je umístěn rádiový vysílač a přijímač, včetně procesoru základního pásma, obr. 15.



Obr. 15 Blokové schéma terminálu Bluetooth

Podle výkonu vysílaného signálu a tedy i podle dosahu se terminály Bluetooth rozdělují do tříd:

- třída 1, výkonová úroveň 20 dBm, dosah do 100 metrů,
- třída 2, výkonová úroveň 4 dBm, dosah do 10 metrů,
- třída 3, výkonová úroveň 0 dBm, dosah do 1 metru.

Pro komunikaci mezi terminály se používá časový duplex TDD. V každém rádiovém kanálu jsou vytvořeny timesloty délky 625 μ s, které jsou číslovány od 0 do $2^{27}-1$. Jeden cyklus má délku 2^{27} timeslotů. Řídící jednotka vysílá v každém sudém timeslotu, podřízená jednotka v každém lichém timeslotu.

7. Vývojové trendy v mobilních komunikacích

Při vývoji nových mobilních systémů lze vysledovat následující trendy:

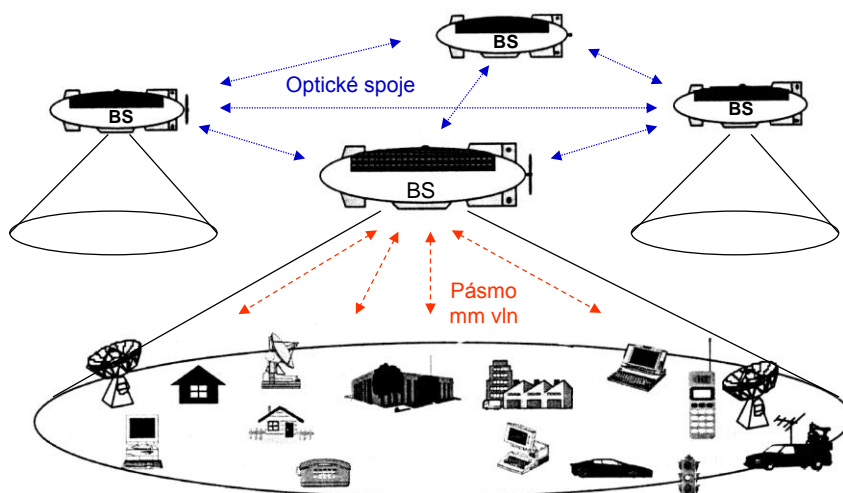
- přechod pouze k paketovým systémům (UMTS využívá PS i CS), využívajících IP (MIP),
- změna struktury sítě směrem k „vyšší inteligenci“ základnové stanice - základnová stanice s IP řadičem (*IP Router*) tvoří nový prvek sítě – *Radio Router*,
- datový provoz bude převážně asymetrický (využívání TDD i FDD s vyšší kapacitou pro downlink),
- kmitočtová pásma systémů se posouvají k vyšším kmitočtům (možnost využití větší šířky pásma, avšak problémy se šířením signálu),
- používání přístupů OFDMA (*Orthogonal Frequency Division Multiplex Access*), MC-CDMA (*Multi Carrier Code Division Multiple Access*), MC-DS-CDMA (*MC-Direct Sequence-CDMA*) aj. (výhody: vysoká spektrální účinnost, odolnost vůči impulznímu rušení, lepší vlastnosti při mnohocestném šíření signálu - nevýhody: modulovaný signál nemá konstantní obálku, problém PAPR),
- využití kognitivního rádia – prohledávání rádiového spektra a využití volných kmitočtových pásem pro další komunikaci v určitém časovém intervalu,
- využití softwarového rádia - snaha posunout digitální zpracování signálu ke vstupu přijímače (řešení problémů koexistence několika mobilních systémů - jeden terminál pro několik systémů),
- potlačení interferenčních signálů – použití antén s tvarováním vyzářovacích charakteristik pomocí adaptivních algoritmů pro časově prostorové zpracování signálů, sledování požadovaného signálu,
- a další.

Za celoplošný (WWAN) mobilní systém budoucnosti lze považovat systém LTE-Advanced, který se řadí do skupiny systémů 4G. Oproti LTE má systém LTE-Advanced 3x vyšší spektrální účinnost a latence se snížila na hodnotu 5 ms. Využívá opět přístupové techniky OFDMA a SC-FDMA. Technika MIMO se v downlinku rozšiřuje na MIMO 8x8 s využitím MU-MIMO (*Multi User MIMO*), kde jsou paralelní datové toky přenášeny k různým UEs prostorově odděleny. V uplinku je technika MIMO rozšířena na MIMO 4x4 s využitím SU-MIMO (*Single User MIMO*), kde jsou všechny paralelní toky vysílány k jednomu eNB. V systému LTE-Advanced lze dosahovat v downlinku rychlosti 1 Gbit/s, v uplinku 0,5 Gbit/s, při pohybu UE do 15 km/h. Maximální rychlost pohybu UE je 500 km/hod.

Pro dosažení vysokých přenosových rychlostí signálu je nutná větší šířka pásma, kterou systém zajišťuje metodou sdružování nosných, kdy jednotlivá kmitočtová pásma jsou sloučena do jednoho výsledného pásma.

Systém LTE-Advanced využívá k rozšíření pokrytí území i femtobuňky označované také *Home eNode B*. Jsou to buňky s poloměrem maximálně několik desítek metrů, které mohou být umístěny i ve větší buňce. Pro spojení eNB se sítí se využívá pevné internetové připojení, například ADSL, přes bránu HeNB GW (*Home eNode B Gateway*).

Za mobilní systém budoucnosti je považován i systém HAPS (*High Altitude stratospheric Platform station System*). Umožní přenos multimediálních signálů a bude vhodný nejen pro mobilní terminály, ale i pro přenosná a pevná zařízení. Na rozdíl od současných systémů, které mají základnové stanice rozmístěny na zemském povrchu, jsou základnové stanice BS (tzv. platformy) umístěny ve stratosféře, přibližně ve výšce 20 km.



Obr. 16 Využití systému HAPS

Vzájemná komunikace mezi základnovými stanicemi BS bude prováděna optickými spoji, zatímco komunikace s mobilními uživateli bude uskutečněna v pásmu mm vln. Typická přenosová rychlost signálu pro uživatelská zařízení bude 25 Mbit/s. U pevných nebo přenosných zařízení, kdy budou použity antény s vyšším ziskem, bude přenosová rychlost signálu dosahovat rychlosti až několika stovek Mbit/s.

Literatura:

- [1] BOSTELMANN, G.; ZARITS, R. *UMTS Design Details & System Engineering*. INACON GmbH, Germany, 2002. 592 s. ISBN 3-93627-306-5.
- [2] SESIA, S.; TOUFIK, I.; BAKER, M. *LTE The UMTS Long Term Evolution: From Theory to Practice*. John Wiley, 2009. 611 s. ISBN 978-0-470-69716-0.
- [4] HANUS, S. *Bezdrátové a mobilní komunikace*. Skripta FEKT VUT v Brně. Brno: T-Mobile CZ a.s., 2003, 134 stran. ISBN 80-214-1833-8.
- [5] HANUS, S. *Nové technologie mobilních komunikací pro integrovanou výuku VUT a VŠB-TUO*. Elektronické skriptum. Brno: FEKT VUT v Brně, 2013. ISBN 978-80-214-4824-7.

POTŘEBY TRHU PRÁCE ČR A EU A PERSPEKTIVA SŠ A VŠ PŘI SOUČASNÉM PROPADU POČTU ABSOLVENTŮ TECHNICKÝCH OBORŮ

Jiří Háze

Fakulta elektrotechniky a komunikačních technologií, Vysoké učení technické v Brně

Technická 10, 616 00, Brno

haze@feec.vutbr.cz

Abstrakt:

Problému poklesu studentů a tedy i absolventů středních a vysokých technických škol čelí stále více průmyslových firem. Tento pokles je způsoben celou řadou faktorů, mezi které zejména patří negativní demografický vývoj populace v České republice, slučování nebo přímo uzavírání středních odborných škol a také malý zájem dětské populace o studium technických oborů a věd. Kombinace uvedených důvodů dostává celý systém v oblasti technického vzdělávání do velmi nebezpečné situace, kdy již nyní akutně chybí na trhu práce velké množství kvalifikovaných technicky vzdělaných odborníků, a to nejen s vysokoškolským diplomem, ale také z odborných středních škol a učilišť. Příspěvek se snaží pojmenovat hlavní příčiny nastalé situace a zejména navrhnout možná řešení, která se ale bez politické vůle těžko podaří prosadit.

1. Úvod

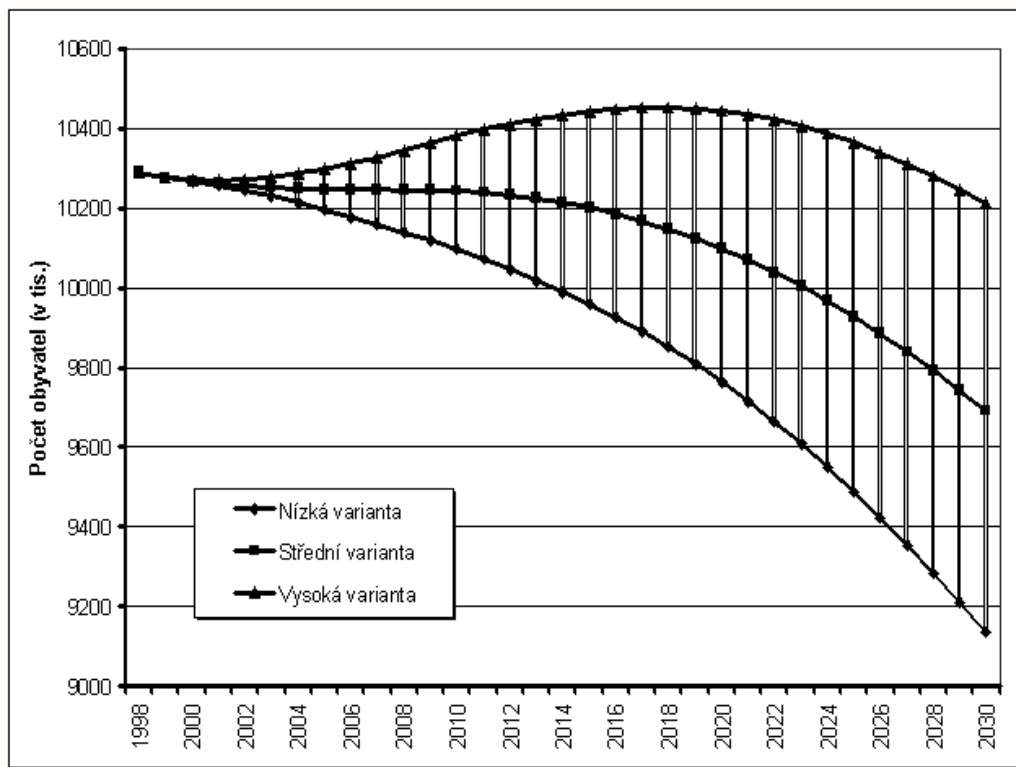
Na začátek tohoto příspěvku si dovoluji uvést krátké citace několika článků ze zpravodajských portálů. Již název článku „České hospodářství čeká nedostatek absolventů“ [1] na webu Novinky.cz z 26. 2. 2014 vypovídá, jak moc nepříznivě vnímají zástupci firem propad v počtu absolventů technických oborů. Viceprezident Hospodářské komory České republiky Zdeněk Somr po setkání se zástupci zaměstnavatelů a vzdělavatelů k problematice odborné přípravy a praxe ve firmách doslova prohlásil: „Během následujících patnácti let bude na českém trhu práce chybět 400 000 absolventů.“ Uvedený problém popisoval v listopadu 2012 Marek Pagáč na webu Průmysl.cz s komentářem „Nedostatek absolventů s technickým vzděláním pocítíme v blízké době“ [2]. I zde je zřejmá silná obava z nedostatku technicky vzdělaných absolventů, což může velmi vážně ohrozit český průmysl a tedy i domácí ekonomiku. Problém se samozřejmě snaží řešit také dotčená ministerstva. Například Ministerstvo průmyslu a obchodu avizovalo 5.9.2012 [3], že bude podporovat firmy, které zaměstnávají studenty technických oborů formou daňových úlev. Tento výčet by mohl být daleko větší, nicméně je zřejmé, že bez společenského, ekonomického a zejména politického konsensu a podpory nebude možné tento negativní stav napravit. V dalších kapitolách tohoto příspěvku budou blíže rozebrány hlavní příčiny popsané situace a samozřejmě bude naznačena cesta, jak se s nimi vypořádat.

2. Demografický vývoj

Nesporně hlavním důvodem poklesu absolventů středních a vysokých technických škol je negativní demografický vývoj české populace. Z grafu na obr. 1 je predikce vývoje počtu

J. Háze: Potřeby trhu práce ČR a EU a perspektiva SŠ a VŠ při současném propadu počtu absolventů technických oborů

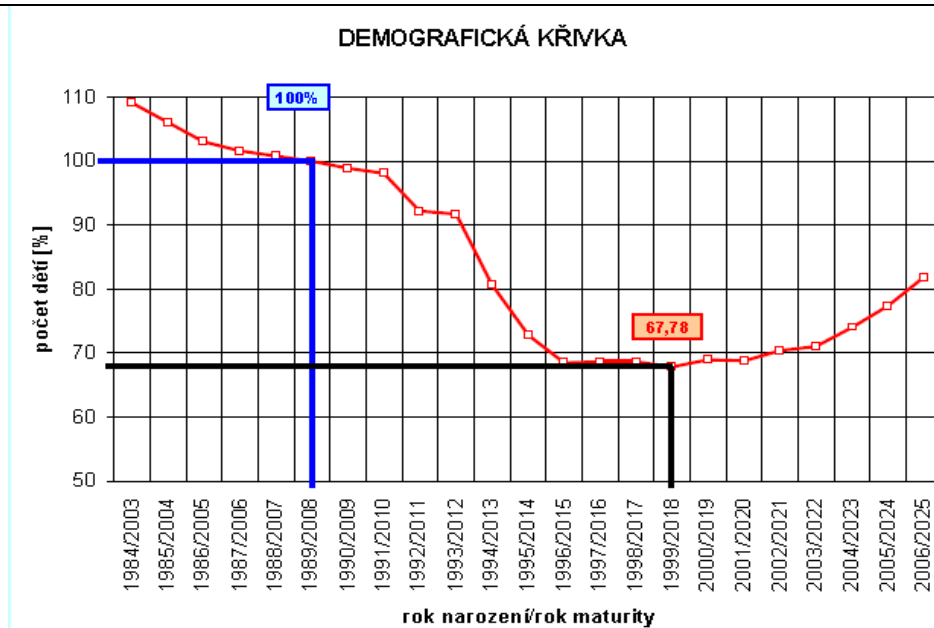
obyvatel České republiky do roku 2030. Vzhledem k aktuálním přehledům, které vydal Český statistický úřad [4], kdy celkový počet obyvatel České republiky klesl, lze konstatovat, že tzv. vysoká varianta není reálná. Obě další cesty bohužel vykazují pokles, který se již výrazně projevuje ve snižujícím se počtu studentů, kteří přicházejí na střední resp. vysoké školy.



Obr. 1. Vývoj počtu obyvatel České republiky do roku 2030 [4]

Ještě více se tento trend ukazuje na křivce populačně mladých ročníků, tedy budoucích maturantů, jak ukazuje obr. 2. Předpokládaný nárůst započatý v roce 2018 (děti tzv. Husákových dětí) však nevykompenzuje dramatický pokles, který již několik let probíhá. Očekává se, že se počty maturantů v roce 2025 ustálí na cca 80 % stavu v roce 2008 a budou opět, tentokrát již nenávratně klesat. Jak velký bude tento pokles, však nelze v dnešní době odhadnout.

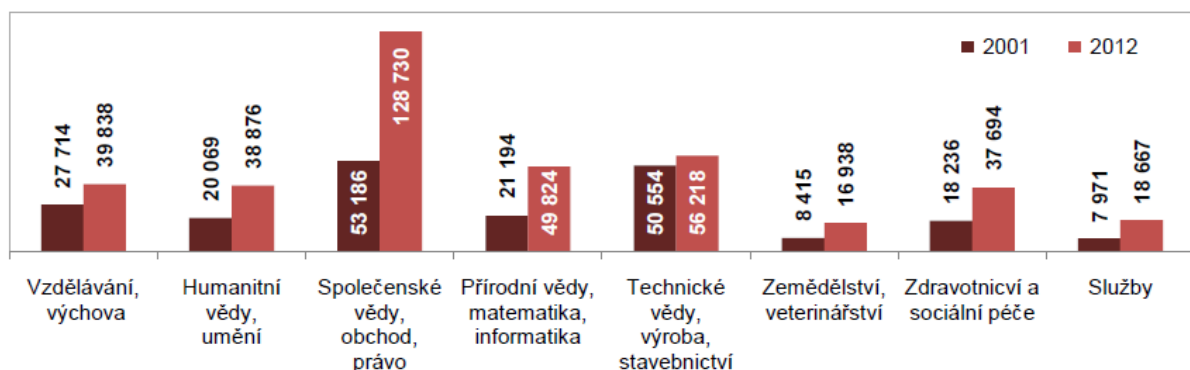
Jediným východiskem z této nepříjemné situace je skutečná a aktivní prrodinná politika české vlády, tedy silná podpora rodin s malými dětmi a to jak v oblasti finanční (daňové úlevy), sociální (příspěvek na mateřskou dovolenou, porodné, příspěvky na děti, na jejich vzdělání apod.), i v oblasti zaměstnání (dostatek míst ve školkách, firemní školky a jiné formy hlídání dětí) tak, aby rodiče neměli problém se získáním resp. návratem do zaměstnání.



Obr. 2. Vývoj počtu maturantů do roku 2025

3. Zájem mladé generace o technické obory

Kromě negativního demografického vývoje je velmi kritickým faktorem (ne)populárnost technických studijních oborů. Současná mladá generace dětí se stále méně zajímá o techniku, jak co funguje a na vše nahlíží pouze z pohledu spotřebitele. Dříve populární „bastlení“, stavění různých konstrukcí ze stavebnic jako je například Merkur apod. již tak netáhnou jako starší generace obyvatelstva. Studenti v čím dál větší míře volí buď tzv. „cestu nejmenšího odporu“ k získání středoškolského vzdělání nebo vysokoškolského titulu a proto volí soukromé vysoké školy nebo školy s menší náročností na znalosti a schopnosti studentů. Druhou variantou je volba humanitního oboru, který je podle jejich názoru prestižní (právník, lékař, učitel, manažer) nebo opět nenáročný na čas a práci z hlediska náročnosti na studium (filozofické a sociologické obory). V obou případech ale bohužel nastává situace, kdy má řada absolventů uvedených oborů problém nalézt uplatnění na trhu práce a nakonec stejně končí na zcela jiné pracovní pozici, která s oborem absolventa vůbec nesouvisí. Celkové počty studentů vysokých škol podle oborů v porovnání roku 2001 a 2012 jsou uvedeny na obr. 3.

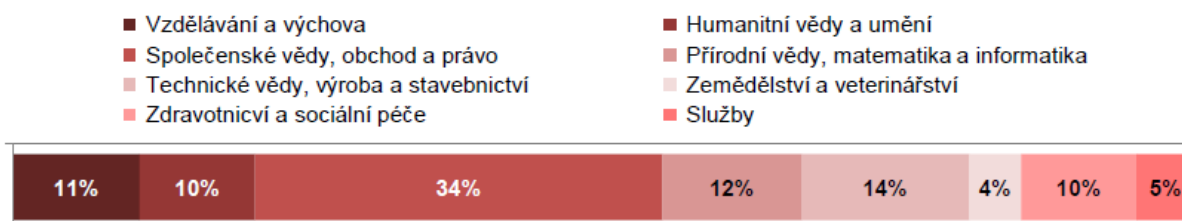


Obr. 3. Počty studentů na VŠ podle oborů [5]

Z porovnání obou roků je zřejmý dramatický nárůst zájmu o již zmiňované humanitní, společenské a sociální obory a to ve dvou případech o více jak 100 %. Podobnou změnu pak zaznamenaly přírodní vědy a oblast IT. Naopak o technické obory rostl zájem je asi o 10 % a

J. Háze: Potřeby trhu práce ČR a EU a perspektiva SŠ a VŠ při současném propadu počtu absolventů technických oborů

v současnosti stagnuje. Ještě lépe problém vystihuje graf na obr. 4, ze kterého je vidět podíl pouze 26 % oborů technických, přírodovědných či oblast IT.



Obr. 4. Poměrové zastoupení jednotlivých oborů na VŠ v roce 2012 [5]

Podobně lze tyto rozdíly prezentovat na celkovém počtu studentů na jednotlivých vysokých školách. Počty studentů na třech největších humanitních školách jsou

- Univerzita Karlova, Praha – 53 000,
- Masarykova Univerzita, Brno – 36 647,
- Univerzita Palackého, Olomouc – 24 000.

Naopak tři největší technické vysoké školy mají

- České vysoké učení technické, Praha – 24 500,
- Vysoké učení technické, Brno – 23 347,
- Vysoká škola báňská – Technická univerzita, Ostrava – 23 000.

Tento pomyslný zápas jednoznačně vyhrávají humanitní vysoké školy. Velký vliv na uvedenou situaci má také všeobecně malá informovanost ve sdělovacích prostředcích o technických oborech, jejich smysluplnosti pro společnost a například i úspěších na poli vědy.

Problém malého zájmu mladé generace o studium technických škol je tedy velmi vážný a změnit tento trend bude obtížné. Mezi hlavní nástroje, které by měly tyto změny nastartovat, jsou již zmiňované sdělovací prostředky. Více než kdy jindy je nutné nabízet témata a pozitivní příběhy z oblasti technických věd tak, aby se o nich dozvídala co nejširší skupina obyvatel, aby je nutila o problému diskutovat, přemýšlet a utvářet si pozitivní názor na techniku a její obory. V návaznosti na tyto informace mohou pak rodiče směřovat své potomky více do oblastí techniky.

V neposlední řadě je zde opět nutná podpora státu, tedy zdůrazňování nutnosti studovat technické obory, neboť průmysl je hlavním motorem ekonomiky a bez dostatku kvalifikovaných pracovníků se tento motor zásadním způsobem zadrhne. V tomto směru by rozhodně měly pomoci také různé finanční pobídky pro firmy, které spolupracují s odbornými technickými školami například formou zaměstnávání a stáží studentů, zapojením studentů do řešení firemních projektů apod.

4. Optimalizace počtu středních a vysokých škol

Ono kouzelné zaklínadlo „optimalizace“ má v souvislosti s prezentovaným problémem hned několik významů. Prvním je slučování středních škol do tzv. integrovaných škol z úrovně jednotlivých krajských samospráv. Tento typ optimalizace je v důsledku výše

uvedených faktů nevyhnutelný. Bohužel v mnoha případech dochází ke slučování jen kvůli tomu, aby se něco sloučilo, aniž by to mělo oborový nebo geografický význam. Výsledkem je v mnoha případech snížení kvality vzdělávání na jedné ze součástí sloučené školy. Příkladem může být sloučení Střední průmyslové školy elektrotechnické na Kounicově ulici v Brně, školy s vynikající pověstí a dlouhou tradicí s Integrovanou školou Purkyňova Brno.

Druhým významem slova „optimalizace“ je přímo rušení některých studijních oborů a s tím opět slučování nebo rušení celé odborné školy. Typickým příkladem, který nakonec neskočil zánikem školy až po zásahu státu je Střední uměleckoprůmyslová škola sklářská v Kamenickém Šenově. Jejím zániku resp. sloučení bylo zabráněno až po velkých protestech studentů školy, ale také veřejnosti a místní politické reprezentace [6].

Bohužel optimalizace se týká také vysokých škol s ohledem na omezení, která zavedlo MŠMT. Toto omezení je zaměřeno na počet financovaných studentů, na které vysoká škola dostává dotace. Znamená to, že pokud škola vyučuje vyšší počet studentů než je daný limit, učí je v podstatě zadarmo. Ministerstvo se tak snaží donutit vysoké školy, aby více dbaly na kvalitu studenta resp. absolventa a tedy nepřijímaly zbytečně mnoho studentů, kteří ani na vysokoškolské studium nemají předpoklady. Proti tomu ale jde požadavek na dodržování závazků tzv. indikátorů na počty vzdělávaných studentů v rámci různých evropských projektů, ale i požadavek ze strany průmyslu na dostatečný počet technicky vzdělaných absolventů. Ministerstvo totiž zavedlo limit plošně bez diverzifikace podle oborů a podle požadavků ekonomiky České republiky.

I tato situace má řešení. Politická reprezentace musí reagovat na skutečnou poptávku a požadavky firem, tedy podpořit technické vzdělávání, eliminovat pseudovysoké zejména soukromé školy, kde si lze v podstatě titul koupit a podpořit průmysl k ještě hlubší spolupráci s technickými školami.

5. Závěr

Na základě předchozích faktů je zřejmé, že změnit současnou nepříznivou situaci je velmi obtížné. Možné metody, jak toho dosáhnout zde byly uvedeny, ale bez dostatečně silné politické podpory a tlaku na ni ze strany průmyslu i dotčených škol k výraznější pozitivní změně nedojde.

Literatura

- [1] Kvapil, K. *České hospodářství čeká nedostatek absolventů*, článek na webových stránkách Novinky.cz, <http://www.novinky.cz/kariera/328663-ceske-hospodarstvi-ceka-nedostatek-absolventu.html>
- [2] Pagáč, M. Komentář: *Nedostatek absolventů s technickým vzděláním pocítíme v blízké době*, článek na webových stránkách Prumysl.cz, <http://www.prumysl.cz/nedostatek-absolventu-s-technicky-vzdelanim-pocitime-v-blizke-dobe>
- [3] Jeníček, L. *MPO chystá daňové úlevy pro firmy zaměstnávající studenty technických oborů*, článek na webových stránkách Prumysl.cz, <http://www.prumysl.cz/mpo-chysta-danove-ulevy-pro-firmy-zamestnavajici-studenty-technicky-oboru>
- [4] Kretschmerová, T., Šimek, M. *Populační prognóza České republiky do roku 2030*, článek na webových stránkách Českého statistického úřadu, <http://www.czso.cz/cz/cisla/1/18/archiv/ademogr/dem0003/projekce.htm>

J. Háze: Potřeby trhu práce ČR a EU a perspektiva SŠ a VŠ při současném propadu počtu absolventů technických oborů

- [5] Studenti a absolventi vysokých škol v České republice v roce 2012, článek na webových stránkách Českého statistického úřadu, [http://www.czso.cz/csu/redakce.nsf/i/studenti a absolventi vysokych skol v cr celkem](http://www.czso.cz/csu/redakce.nsf/i/studenti_a_absolventi_vysokych_skol_v_cr_celkem)
- [6] Silná, B. *Studenti z Kamenického Šenova protestovali proti rušení své školy*, článek na webových stránkách Novinky.cz, <http://www.novinky.cz/domaci/217598-studenti-z-kamenickeho-senova-protestovali-proti-ruseni-sve-skoly.html>

PERSPEKTIVY ELEKTRONIKY

Miroslav Husák

Katedra mikroelektroniky, fakulta elektrotechnická, ČVUT v Praze, Technická 2,
Praha 6

husak@fel.cvut.cz

Abstrakt:

Nejdříve zde byly vakuové prvky elektronky s rozměry v cm, v roce 1947 byl objeven tranzistor a v polovině roku 1948 informace o objevu uvolněna pro veřejnost, prvek s rozměrem cca 1 cm, již v roce 1949 byly realizovány první germaniové tranzistory ve střední Evropě profesorem Taucem a profesorem Frankem z Československa, v roce 1957 se objevilo první čtyř tranzistorové rádio s kapesním rozměrem vyvinuté firmou Texas Instruments, v roce 1958 první integrovaný obvod s rozměry tranzistorů cca mm, dnes rozměry a počet tranzistorů na čipu v procesorech Ivy Bridge v 22 nm technologii, zmenšování rozměrů vede ke zvyšování hustoty integrace, zvyšování rychlosti, ale objevuje se problém s uplatňováním kvantových jevů při rozměrech zhruba od 10 nm, elektronika směřuje do oblasti nanoelektroniky, ale je ještě překonat „inženýrské pasti....“, umíme mnohé v oblasti nanotechnologií, ale neumíme zatím udělat reprodukovatelně tranzistor nebo podobnou součástku v nanotechnologiích.

1. Úvod

Elektronika prožívala ve 20. století snad nejbouřlivější rozvoj ze všech odvětví od vzniku jednoduchých elektronek, přes vynález polovodičového tranzistoru na konci 40. let až po rozvoj integrovaných obvodů včetně paměti s ultra vysokou hustotou integrace. V 90. letech se objevil pojem mikrosystémy nebo mikrosystémové inženýrství, které se od klasických integrovaných obvodů odlišovalo tím, že to již nebyla pouze "čistá" elektronika, ale mezioborové propojení různých energetických domén, tj. tento nově vznikající obor začal komplexně integrovat mikroelektroniku, mikromechaniku, mikrooptiku, chemii, biochemii atd. Začal tak vývoj nových kvantitativně i kvalitativně odlišných součástí s možnostmi aplikace do té doby nereálných. Dalším zmenšováním fyzikálních rozměrů struktur se dostáváme do oblasti tzv. nanotechnologií, kterým bude patřit 21. století.

2. Od mikro k nano, od MEMS k NEMS

Věda a technologie umožňují realizaci mikro/nanosoučástek a systémů pro různé průmyslové aplikace, životní prostředí, spotřebitele nebo např. biomedicínské aplikace. Dnes existuje velmi široká nabídka MEMS součástek a systémů pro komerční aplikace [1]. Různé mikrostruktury nebo mikrokomponenty jsou používány v mikropřístrojích a systémech. Typickým představitelem MEMS mikrosoučástek jsou akcelerometry nebo digitálních mikrozrcadlové pole. Integrovaný křemíkový kapacitní senzor zrychlení (akcelerometr) se používá v airbag od roku 1991. Firma Texas Instruments v roce 1996 jako první zahájila

výrobu digitálního zpracování obrazu s využitím digitálních mikrozrcátkových polí, což umožnilo výrobu přenosných přístrojů pro digitální projekci a projektorů domácího kina, stejně jako stolní projekční televizory. Mezi další hlavní průmyslové aplikace patří senzory tlaku, inkoustové tiskové hlavy a optické přepínače. Mezi další MEMS systémy lze zařadit chemické senzory, senzory plynů, infračervené detektory a ohnisková pole pro pozorování Země, systémy pro kosmický průzkum, obranné aplikace, pikosatelity určené pro vesmírné aplikace a další. MEMS systémy jsou určeny také k využití v magnetických systémech pro ukládání dat jako super kompaktní s ultra hustotou záznamu na magnetické disky.

BIOMEMS jsou další perspektivní struktury, které se stále více používají v komerčních a vojenských aplikacích [2]. K BIOMEMS lze zařadit jako typické biofluidické čipy (známé jako mikrofluidické čipy nebo biočipy) určené pro chemické a biochemické analýzy (biosenzory) v lékařské diagnostice (např. DNA, RNA, proteiny, buňky, krevní tlak a testy, identifikace toxinů), implantabilní farmaceutické léky. Biosenzory označované také jako Lab-on-Chip lze integrovat z různých mikrosystémových a nanosystémových součástí a pro vytvoření detekce a analýzy na jedné platformě. Biosenzory jsou navrženy pro analýzu jedné nebo více chemických látek, Tyto systémy bývají někdy označovány jako μ TAS. Jedná se o čipy schopné zajistit automatickou manipulaci s nepatrným množstvím tekutiny v mikrokanálcích pomocí mikroventilů a mikropump.

BIOMEMS aplikace umožňují realizaci minimální invazivní chirurgie, jako je endoskopická chirurgie, laserová angioplastika a mikroskopická chirurgie. S těmito technologiemi se realizují též různé implantovatelné umělé orgány. Mikronástroje a mikromanipulátory jsou používány k pohybu, přesnému nastavení polohy, charakterizace nanoměřítkových objektů. MEMS technologie umožňují realizaci miniaturizovaných analytických přístrojů, jako jsou plynové chromatografy a hmotnostní spektrometry. Technologie umožňují realizaci např. součástí pro skenovací a tunelovací mikroskopy. NEMS systémy umožňují realizaci nanokomponent, nanosoučástek, nanosystémů a nanomateriálů, jako jsou např. mikronosníky s integrovanými ostrými hroty pro mikroskopy atomárních sil (AFM), pro ukládání dat, nanolitografii, biologické (DNA) motory, molekulární zařízení, realizaci molekulárně tlustých vrstev (např. obří magnetoodporové nebo GMR hlavy a magnetická média), nanočástice, (např., nanomagnetické částice v magnetických médiích), nanovlákna, uhlíkové nanotrubičky, kvantové dráty (QWRs), kvantové tranzistory [3].

BIONEMS zahrnují nanobiosenzory, tj. mikrořady křemíkových nanodrátů s rozměrem několik nm, aby se selektivně vážala a detekovala i jediná biologická molekula, jako DNA nebo bílkoviny. Nanoelektronika umožňuje detekce velmi malých elektrických nábojů na čipu nebo uhlíkové nanotrubičce a tímto detekci glukózy, implantovatelné systémy pro podávání léčiv, např. mikro/nanočástic s léčivem zapouzdřeným molekulami nebo s nanoporézní membránou naplněnou léky pro dlouhodobou dodávku, nanosoučástky pro řazení jednotlivých molekul DNA, buněčný růst s využitím uhlíkových nanotrubic, např. pro "opravu" míchy, nanotrubičky pro nanostrukturní materiály pro různé aplikace, růst orgánů a růst umělé tkáně s využitím nanovláken.

Nanoelektroniku lze použít k vytvoření paměti počítače, ukládání bitů jako individualních molekul nebo nanotrubiček, stejně jako molekulární přepínače, molekulární nebo nanotrubičkové tranzistory, nanotrubičkový zobrazovací panel, apod.

Mikrosystémy náleží k zajímavým oblastem, ve kterých jsou již praktické výsledky využitelné v praxi, svými mikrorozměry se blíží zmíněnému nanoinženýrství. Jedná se o mezioborovou problematiku svým charakterem spojující např. mikroelektroniku, mikrooptiku, mikromechaniku, chemii, biochemii, apod. Vznikají nové produkty s rozměry řádu mikrometrů využitelné v širokém spektru aplikací, tj. od automobilů až po aplikace

v medicíně. Výzkum a vývoj se zaměřuje především na aplikace využitelné v medicíně, regulaci, biochemii a při monitorování životního prostředí. Např. v medicíně se pracuje na vývoji mikroanalyzátorů plynů v krvi pro implantaci do lidského těla, mikropumpy pro zlepšení funkce krevního oběhu, implantovatelných systémů pro automatické dávkování inzulínu v lidském organismu.

Mikrosystémy v sobě zahrnují tři základní funkce, které jsou prezentovány příslušnými součástkami nebo systémy tyto funkce zajišťujícími. Funkce měření a snímání informace o fyzikálním nebo chemickém prostředí zajišťují "mikrosenzory", působení na okolní prostředí je zajištěno prostřednictvím "mikroaktuátorů" a funkci inteligentního zpracování informací a řízení mikroaktuátorů zajišťují obvody zpracování signálů. Při realizaci těchto systémů se využívá technologií výroby integrovaných obvodů kombinovaných se speciálními mikrosystémovými technologiemi. Realizace mikrosystému může být provedena na jednom nebo více čipech, podobně jako jsou realizovány integrované obvody.

2.1. Principy využívané pro činnost MEMS a NEMS součástek

Pro činnost MEMS komponent se ve velké míře využívá princip činnosti elektrostatických aktuátorů založený na coulombovském přitahování opačně nabitých těles, tj. např. desek kondenzátoru. Dielektrický průraz vzduchu závisí na vzdálenosti elektrod a roste z hodnoty intenzity elektrického pole $E=3 \cdot 10^3 \text{ V} \cdot \text{mm}^{-1}$ pro makroskopické objekty až na více než $E=10^5 \text{ V} \cdot \text{mm}^{-1}$ pro objekty mikroskopické s rozměry přibližně 500 μm až 1 μm . Nevýhodou elektrostatických aktuátorů je nutnost relativně vysokého napájecího napětí až stovek V, např. při vzdálenosti desek 1 μm je nutné napětí 150 V pro vytvoření aktuátorového tlaku 100 kPa. V mikroskopickém režimu je energie akumulovaná v elektrostatickém poli srovnatelná s energií elektromagnetickou, v makroskopickém režimu je však elektromagnetická energie významně větší. Z těchto důvodů není praktické používat elektrostatický princip působení síly k pohybu u větších strojů, ale pro mikrostruktury se ukazuje jako výhodné využití tohoto principu, zejména u součástí vyráběných s využitím mikroelektronických technologií, např. na křemíkových substrátech. Elektrostatické systémy jsou kompatibilní s technologiemi CMOS, mají malou teplotní závislost a generují relativně velké síly při malých rozměrech systému. V porovnání s elektromagnetickými aktuátory jsou lehčí a mají výrazně menší vlastní spotřebu energie. Při řešení návrhu elektrostaticky řízených struktur RF součástek je použití analytického návrhu často velmi obtížné, protože se zde spojuje nelineární chování elektrostatické síly a mechanických vlastností struktury, proto je nutné používat metody numerické simulace s podporou vhodných softwarových prostředků [4]. Existuje mnoho způsobů a programů užívajících různé metody k návrhu těchto mikrostruktur [5]. Z hlediska dráhy pohybu způsobeného coulombovskými silami lze pohyby rozdělit na několik základních typů, které bývají v praxi velmi často různě kombinovány. Jedná se zejména o pohyb podélný, příčný, kombinace podélného a příčného pohybu.

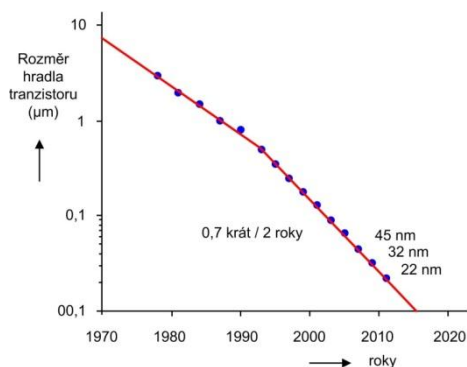
Výroba MEMS součástí je technologicky náročná, ale její velkou výhodou je reprodukovatelnost při výrobě ve velkých sériích. V mikrovlnných aplikacích MEMS součástí vykazují malé ztráty v signálové cestě a lze je využívat ve velmi širokém frekvenčním rozsahu. Některé parametry, jako např. rychlost reakce na řídicí signály, nedokáží ještě nahradit některé v současnosti používané polovodičové součástky, jako PIN diody.

Dnes jsme se dostali na práh nanoelektroniky a s tím i nanosystémů, do kterých náleží nanosenzory, nanoaktuátory (manipulátory), nanoelektronika, apod. Svět, ve kterém začínají platit nové zákony a přestávají platit klasické fyzikální zákony, na kterých byla založena „klasická“ elektronika. Hranice mezi makro a mikro systémy je definována technologickými procesy, hranice mezi mikro a nano systémy je kvantově mechanická. V důsledku rozvoje

mikroelektronických technologií byl pokrok v mikroelektronice v posledních třech desetiletích charakterizován třemi základními hledisky [6]:

- složitost mikroelektronických obvodů charakterizovaná počtem prvků na čipu - roste 4 x za 3 roky
- nejmenší rozměr struktury – zmenšuje se s indexem 0,5 každé tři roky
- zvětšování plochy čipu - 1,5x za 3 roky.

Při zvyšování integrace je nutné brát v úvahu teoretické i praktické limity elektroniky založené na pohybu elektronů v elektrickém poli. Fyzické hranice atomární struktury nebo hustoty by mohlo být dosaženo v roce 2020 - obr. 1 [7].



Obr. 1 Vývoj délky hradla tranzistorů [7]

3. Nanotechnologie a nanoelektronika

Velmi rychle pokračující miniaturizace se zmenšováním rozměrů současných křemíkových integrovaných obvodů směřuje ke hranici mikrosvěta, za níž je nanosvět, a proto se přední světoví výrobci věnují vývoji elektronických struktur a obvodů o nanometrových rozměrech, ve kterých se ovšem dominantně uplatňují kvantové jevy. S ohledem na odlišnost struktur nanometrových elektronických součástí od dnes běžných, se předpokládá, že pro jejich návrh bude nutno vyvinout nové návrhové systémy. Teoretické odhady chování těchto součástí vedou k podstatnému (více než tisícinásobnému) zlepšení jejich parametrů, zejména pak ke zvýšení hustoty integrace, rychlosti spínání, zrychlení přenosu informace a snížení výkonové ztráty. Všechny tyto parametry splňují požadavky uživatelů na zlepšení činnosti současných počítačů, které by mohly dosáhnout např. hodnot operační rychlosti řádu 10^{11} - 10^{13} Hz, hustotu integrace hradlových polí v úrovni 10^{12} hradel/cm², 3D paměti s kapacitou 10^{15} bit/cm³ apod. Jako perspektivní nano a sub nano elektronické součástky se jeví struktury na bázi molekul či atomů (ART Atomic Reley Transistor, MOSES Molecular Single Electron Switch) [8].

Interdisciplinární charakter nanoelektroniky je zřejmý, neboť spojuje řadu různých vědeckých oblastí, které jsou tak rozdílné, jako např. výpočetní technika na jedné a kvantová optika na druhé straně. Interdisciplinární charakter nanoelektroniky proniká i do tak "vzdáleného" oboru, jako je celá oblast studia, návrhu a aplikací neuronových sítí. Protože se jedná o mezioborovou problematiku, která dnes není pouze záležitostí jenom techniků, ale stejně tak fyziků, chemiků, biologů, lékařů, matematiků, apod., je nutné, aby především tyto obory připravily teoretické a experimentální zázemí pro vývoj praktických aplikací. Je nutné řešit tuto problematiku ve společných projektech např. mezi specializovanými pracovišti. Zmenšování rozměrů "výrobků" a standardních "stavebních prvků" do atomových rozměrů s sebou přináší nejen hledání nových forem a cest výzkumu, ale také velmi složitá a drahá

vybavení laboratoří, která jsou často financována na mezinárodní úrovni, tj. např. v rámci evropského výzkumu.

Nanotechnologií se rozumí jakákoliv technologie pracující v rozměrech nanometrů, technologie, která má aplikace v reálném světě. Nanotechnologie zahrnují výrobu a aplikace fyzikálních, chemických a biologických systémů v měřítku od jednotlivých atomů nebo molekul až po submikronové rozměry, stejně jako integrace nanostruktur do větších systémů. Věda a technologický výzkum v nanotechnologiích slibují kvalitativní průlom v oblastech, jako např. materiálové inženýrství, lékařství a zdravotní péče, energie, biotechnologie, informační technologie nebo národní bezpečnosti. Předpokládá se, že nanotechnologie budou představovat další průmyslovou revoluci 21. století.

Jako stavební bloky pro výrobu 3D nanostruktur, včetně kvantových teček (nanokrystalů) libovolného průměru (asi 10 až 10^5 atomů) se používají různé mechanismy, jako např. chemická syntéza molekulárních klastrů (molekulární Self-assembly), od jednoduchých reagentů v roztoku nebo biologických molekul (např. DNA). Vakuové depozice a nerovnovážné plazmové chemické techniky jsou používány k výrobě vrstevnatých nanokompozitů a nanotubic. Atomárně řízené struktury jsou vytvořeny s použitím molekulární svazkové epitaxe a epitaxí s organicko-kovovou plynnou fází.

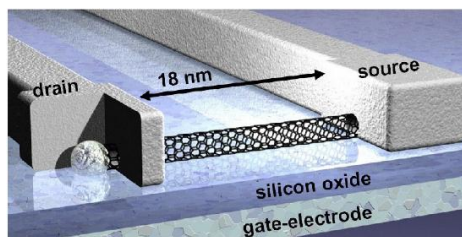
Mikro a nanosystémové komponenty jsou vyrobeny litografickými a nelitografickými výrobními technikami v rozsahu rozměrů od mikro až po nanometry. Vylepšování litografie umožňuje realizaci experimentálních šířek 10 nm. Mikro a nanosystémy zahrnují MEMS/NEMS (např. mikrosenzory, mikroaktuátory a zpracování signálu), mikromechatronika, optoelektronika, mikrofluidika a systémy integrace.

4. Uhlíkové nanostruktury pro elektronické komponenty

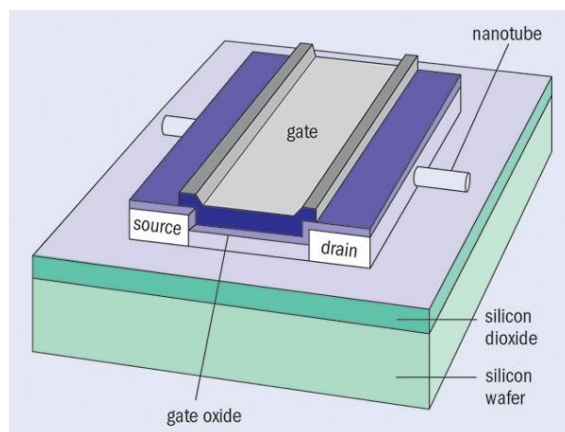
Nanoelektronika a nanotechnologie jsou založeny mimo jiné i na využití nových materiálů s vlastnostmi umožňujícími realizaci nových nanoelektronických struktur. Materiály se vyznačují obvykle vysokou mechanickou pevností využitelnou např. u NEMS (nano-electro-mechanical-system). Významná kategorie těchto nanomateriálů je založena na uhlíku.

Uhlík se vyskytuje ve více modifikacích, které se od sebe výrazně liší fyzikálními vlastnostmi. Nejznámější jsou dvě odlišné modifikace čistého uhlíku vyskytující se v přírodě, tj. *tuha (grafit)* a *diamant*. Mechanické, elektrické a jiné fyzikální vlastnosti jsou výrazně odlišné. Tuha, resp. grafit je slušný elektrický vodič, dobře vede teplo, je měkký. Diamant je izolant, vede teplo nejlépe ze všech materiálů, je nejtvrdší materiál.

Fulleren náleží k méně známé alotropické formě uhlíku (synteticky vyrobené). Za jeho objev obdrželi v roce 1996 *Harold Kroto*, *Robert Curl* a *Richard Smalley* Nobelovu cenu. Nejstabilnější je molekula C_{60} . Název fulleren vznikl podle amerického architekta *R. Buckminstera Fullera*, který podobné struktury používal při stavbě výstavních hal. Fullereny náleží mezi nejpevnější známé materiály, jsou výrazně pevnější než ocel, mají malou hmotnost. Implantováním atomu kovu do jádra fullerenu vznikají materiály s pozoruhodnými



a)



b)

Obr. 2 Tranzistor FET s nanotrubicemi, a) kanál tranzistoru, b) struktura IBM tranzistoru [9]

vlastnostmi, např. fullereny s implantací alkalických kovů vykazují supravodivost při teplotě ~ 18 K. C_{60} má mimořádně vysoký index lomu, proto se využívá ochranných sklech. Při intenzivním osvětlení C_{60} zvyšuje absorpci a tím udržuje množství prošlého světla na nízké hodnotě (optical limiting).

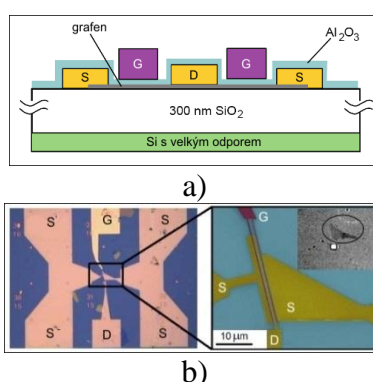
Uhlíkové nanotrubičky (CNT) vznikají na bázi fullerenů, mají velmi vysokou pevnost, lze z nich vyrobit materiály s tvrdostí diamantu, mají velký Youngův modul pružnosti ve směru osy, průměr je 1 nm až 50 nm, délka řádově v mm (až 300 mm). V elektronice je lze využít pro realizaci vodičů, tranzistorů, paměťových prvků, prepínačů v optických počítačích, jako účinné tepelné vodiče ve výpočetní technice, jako superpevné fólie v ohebných displejích. Uhlíkové nanotrubičky lze využít k realizaci struktury tranzistoru - obr. 2. Nevýhodou je špatně reprodukovatelná technologie, protože zatím není možné manipulovat s takto malými částicemi, tj. přesná geometrie uložení struktury a nanotrubičky.

Grafen jako další struktura uhlíku je vytvořená pouze z jedné nebo dvou vrstev atomů uhlíku uspořádaných do pravidelné hexagonální struktury. Jednoatomární vrstva grafenu bez příměsí vykazuje vysokou elektrickou vodivost, dvouatomární vrstva se chová podobně jako polovodič s malou šířkou zakázaného pásu, jehož vlastnosti mohou být měněny externím elektrickým polem. Elektrony v grafenu mají nejvyšší pohyblivost ze všech známých materiálů [10]. Grafen je nejtenčí a současně nejpevnější materiál na světě, 200 krát pevnější než ocel [10]. Optické vlastnosti předurčují využití grafenu v optoelektronice pro výrobu průhledných displejů. Grafen může být ideálním materiálem pro spintroniku z důvodu malé spin-orbitální interakce a absence magnetického momentu jádra uhlíku. Pozoruhodně vysoká pohyblivost elektronů při pokojové teplotě předurčuje grafen pro využití jako supravodič. Střední rychlost elektronů při vedení proudu grafenem (asi $300 \text{ km}\cdot\text{s}^{-1}$) mnohem vyšší, než ve standardních polovodičích (desítky až stovky $\text{m}\cdot\text{s}^{-1}$), v kovech se elektrony pohybují rychlostí jen několik $\text{mm}\cdot\text{s}^{-1}$. Monovrstva grafitu vede proud paradoxně mnohem lépe, než

souvislý krystal grafitu nebo dokonce ještě lépe, než nejlepší vodiče elektřiny [11]. Tepelná vodivost grafenu při pokojové teplotě se pohybuje v rozmezí $(4,84 \pm 0,44) \cdot 10^3$ až $(5,30 \pm 0,48) \cdot 10^3 \text{ Wm}^{-1} \text{ K}^{-1}$. Elektrické vlastnosti řadí grafen do kategorie polovodičů. Chování elektronů v grafenu lze využít pro konstrukci nových typů polovodičových součástek schopných pracovat s extrémně vysokou rychlostí až do terahertzových frekvencí.

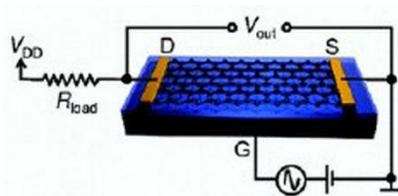
5. Grafenové součástky pro elektroniku

Grafenové tranzistory jsou teoreticky schopné pracovat s mezními kmitočty až do jednotek terahertz, tranzistorovou strukturu lze skládat do kompaktních uspořádání. Grafenový tranzistor může být až 4x menší než nejmenší křemíkový tranzistor. Výzkum směřuje k využití grafenu v mikroprocesorech a pamětech [10]. První funkční grafenový



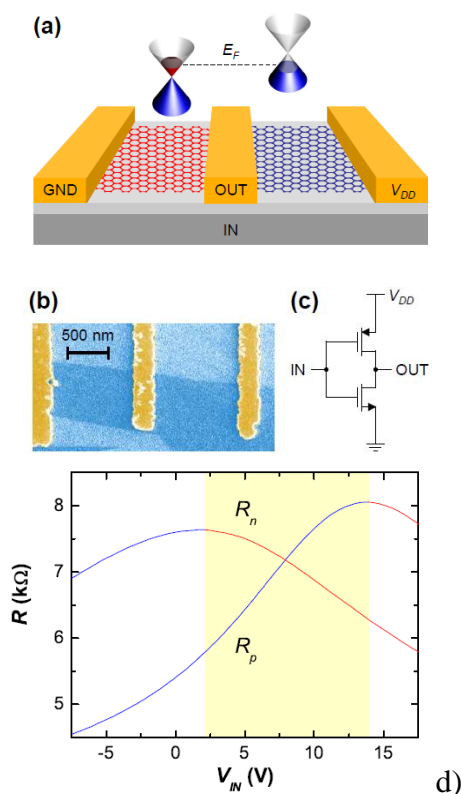
Obr. 3 Grafenový tranzistor IBM z roku 2008, a) struktura tranzistoru, b) fotografie 26 GHz grafenového tranzistoru [12]

tranzistor byl vyroben v roce 2004, ale teprve v roce 2008 se podařilo firmě IBM vyvinout palem řízený tranzistor schopný pracovat s mezními frekvencemi 26 GHz. Mezní frekvence, při které tranzistor přestává zesilovat, závisí nepřímo úměrně na délce vodivého kanálu a v tomto případě dosáhla hodnoty 26 GHz obr. 3 [12]. V roce 2011 se firmě IBM podařilo vyrobit nejmenší grafenový tranzistor s využitím 40 nm technologie a substrátu označovaného jako „diamond-like carbon“. Tranzistor pracuje s mezním kmitočtem 155 GHz. Předpokládá se, že by měl být využíván především v oblasti zpracování analogových signálů, umožní významné zvýšení výkonu v bezdrátových komunikacích, síťových komponentách nebo radarech. Tranzistor je vysoce teplotně stabilní a pracuje i při teplotě $-268 \text{ }^\circ\text{C}$.



Obr. 4 Jednotranzistorový grafenový zesilovač [13]

Jednotranzistorový grafenový zesilovač byl vyroben v roce 2010 na University of California – Riverside and Rice University. Zesilovač má lepší parametry než standardní

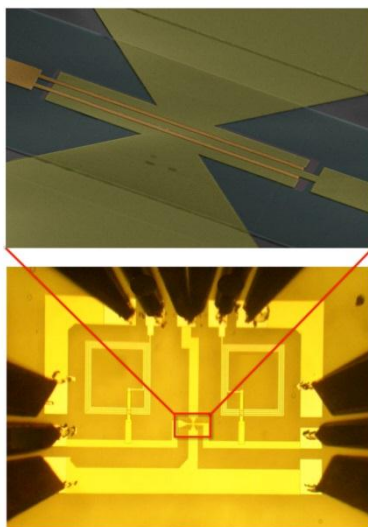


Obr. 5 Integrovaný komplementární grafenový invertor, a) tříelektrodový systém vytvořený na stejné grafenové monovrstvě, b) fotografie z elektronového skenovacího mikroskopu vyrobeného invertoru, délka kanálu (vzdálenost elektrod) je 1 μm , c) obvodové zapojení invertoru (napájení $V_{DD} = 3,3$ V), d) závislosti odporu kanálů tranzistorů na hradlovém napětí [16]

zesilovače díky “ambipolárním” vlastnostem grafenu. Předpokládá se jeho využití v bezdrátových a audio aplikacích, může být také použitý pro návrh jednoduchých analogových obvodů pro komunikace. Principiální obrázek jednotranzistorového grafenového zesilovače je uveden na obr. 4 [13].

Grafenový integrovaný obvod (dvoutranzistorový invertor) se podařilo vyrobit s využitím grafenové jednovrstvy. Invertor byl úspěšně testován při frekvenci vstupního signálu 10 kHz. Napájecí napětí a vstupní úroveň invertoru byly 3,3 V. Na výstupu však bylo dosaženo rozdílu logických úrovní pouze 0,15 V. Frekvenční limit 10 kHz je způsoben vysokou vstupní kapacitou zařízení měřícího výstupní napětí invertoru. V [14] se uvádí se možnost zvýšení frekvence vstupního signálu až na 4,5 GHz v případě zatížení invertoru dalším ekvivalentním hradlem [15]. Invertor s charakteristika mi je uvedený na obr. 5.

Integrovaný směšovač do 10 GHz představila firma IBM v červnu 2011, širokopásmový směšovač pracující na frekvenci až 10 GHz - obr. 6 [17].



Obr. 6 Fotografie z optického mikroskopu kompletního grafenového integrovaného obvodu zahrnující kontaktní vývody [17]

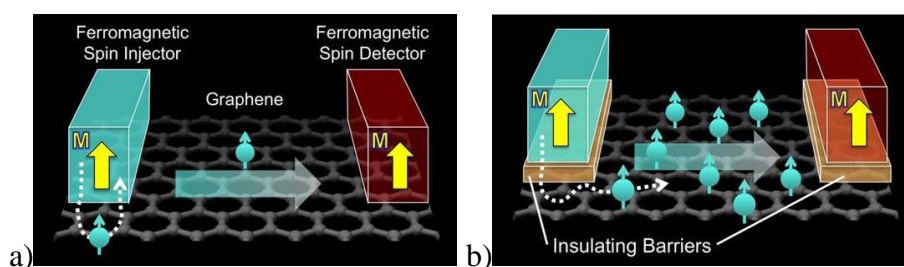
Obvod byl navržen pro bezdrátové komunikace. Obvod pracuje jako širokopásmový směšovač, vytváří výstupní signály s různými frekvencemi (součty a rozdíly) vstupních signálů. Grafenový integrovaný obvod se směšovací frekvencí až 10 GHz má vynikající teplotní odolnost do 125 °C.

Grafenové procesory se podle prognóz objeví v roce **2015** a komerčně se začnou využívat v roce **2022**.

Grafenové paměťové články pro využití v paměťových buňkách struktury s řídicí elektrodou vytvořenou z tranzistorů lze přepínat mezi dvěma stavy (logickou 0 a 1) a struktura si tento stav uchová i po odpojení napětí na hradle [18].

Spinové paměti na grafenu - byla objevena možnost využití vkládání spinů do grafenu, jevu kterému se říká tunneling spin injection, grafen má jedny z nejlepších vlastností pro přenos spinu při pokojové teplotě. Na obr. 7a) je uveden princip toku spinů elektronů v grafenu bez použití izolantů a na obr. 7b) tok spinů elektronů v grafenu při použití vrstvy izolantu z oxidu hořečnatého [19].

Výsledkem dalšího výzkumu by mohla být paměť s mozkem (kombinace non-volatilní paměti a logiky), což lze využít do budoucna např. pro počítače, které se nebudou muset „bootovat“, protože si budou svůj aktuální stav neustále pamatovat.



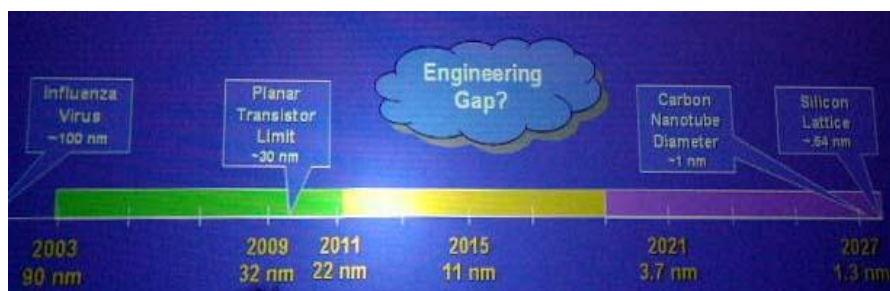
Obr. 7 Tok spinů elektronů v grafenu, a) bez použití izolantů, b) při použití vrstvy izolantu z oxidu hořečnatého [19]

K dalším aplikacím grafenu lze přiřadit již existující *ohybné displeje z grafenu, ultrakapacitní grafenové kondenzátory, baterie s grafenovými elektrodami a grafenové senzory*, které umožní detekovat jednotlivé molekuly plynu vyhodnocováním lokální změnou elektrického odporu [20].

6. Závěr – co lze očekávat od zmenšování rozměrů, tj. nanotechnologií?

Se zmenšujícími se rozměry struktur integrovaných obvodů a mikrosystémů se dostávají realizované součásti mikrosystémů s rozměry řádově μm postupně do oblasti rozměrů desítek nm. Trend je stále zmenšování šířky hradla. Hraniční rozměr je cca 10 nm, kde přestává platit klasické fyzikální zákony a systémy musí být popisovány kvantovou fyzikou.

Se snižováním rozměrů a zvyšováním integrace počtu prvků na čipu se začala diskutovat otázka realizace polovodičových struktur s rozměry v submikrometrové oblasti. Dnes se považuje za reálnou hranici mezi mikroelektronikou a nanoelektronikou rozměr asi 30 nm. A zde se objevuje inženýrský problém, jak překonat "inženýrský příkop mezi mikro a nano světem, tj. jak realizovat součástky s využitím nanotechnologií – obr. 8. Zatím jsou hledány nové cesty, které víceméně stále kopírují staré mikromechanismy. Zřejmě bude nutné objevit nové principy, abychom mohli využít všechny přednosti nanotechnologií a nanoelektroniky.



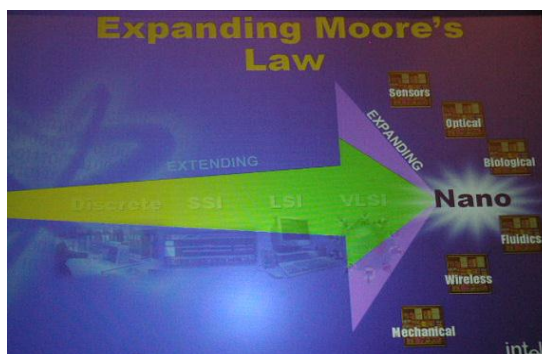
Obr. 8 Inženýrský příkop mezi mikroelektronikou a nanoelektronikou [7]

Mikroelektronika je založená na pohybu nosičů elektrického náboje v elektrickém poli v polovodičových strukturách s nehomogenním rozložením koncentrace aktivních příměsí, nanoelektronika je založena na spínacích efektech na molekulární úrovni. Vývoj zmenšování rozměrů v oblasti elektronických součástek a systémů je ukázán na obr. 9, kde zkratky představují typy integrace.



Obr. 9 Vývoj integrace elektronických součástek a struktur směrem k nano [7]

Podobně jako u elektronických součástek a struktur se zmenšování rozměrů uplatňuje u mikrosystémů /nanosystémů. Na obr. 10 je příklad zmenšování rozměrů u senzorů, které vede k nanosenzorům. Opět zkratky označují hustotu integrace, tj. rozměry součástek.



Obr. 10 Vývoj zmenšování rozměrů u senzorů vedoucí k nanosenzorům [7]

V současné době je pozornost věnována především problematice vývoje rezonanční tunelovací struktury (RTD - Resonant Tunneling Devices), jedno-elektronového tranzistoru (SET - Single Electron Transistor), kvantovým tečkám (Quantum Dots - Quantum Dot Cells), molekulovým spínačům (Molecular Shuttle Switches), atomovým relé (Atom relay). Jsou zkoumány základní elementy pro nanosystémy, jedná se především o rezonanční tunelový transistor (resonant tunneling devices, RTD), jedoelektronový tranzistor (single electron transistors, SET), rapid single quantum flux logic (RSFQ), kvantové tečky (quantum dots, QD), quantum cellular automata (QCA), uhlíkové nanotrubičky (carbon nanotubes, CNT) a molekulární součástky. Je pravděpodobné, že se objeví další materiály, na základě kterých vznikne nová oblast elektroniky s výrazně menší spotřebou elektrické energie, laciná na výrobu a též s novými výrazně lepšími parametry. Vše nasvědčuje tomu, že ale tato elektronika bude pracovat v kvantovém světě s nanometrovými rozměry.

Literatura

- [1] B. Bhushan: Tribology Issues and Opportunities in MEMS (Kluwer, Dordrecht 1998)
- [2] Bhushan B., Handbook of nanotechnology, Springer 2004.
- [3] W. A. Goddard, D.W. Brenner, S. E. Lyshevski, G. J. Iafrate: *Handbook of Nanoscience, Engineering, and Technology* (CRC, Boca Raton 2003)
- [4] Fujita, H. and Ikoma, T.: Numerical Determination of the Electromechanical Field for a Micro Servosystem. Sensors and Actuators, A21-A23, pp. 215-218 (1990).
- [5] Senturia, S. D.: The future of Microsensors and Microactuator Design. Sensors and Actuators A 56, pp. 125-127 (1996).
- [6] P.A. Gargini, *The Global Route to Future Semiconductor Technology*, IEEE Circuits @ Devices Magazine, March 2002, 13-51.
- [7] Intel, www.intel.com
- [8] Husák, M., Kodeš, J., Schrofel, J., Od mikroelektroniky k nanoelektronice, Hospodářské noviny 2000.
- [9] S J Wind *et al.* 2002 *Appl. Phys. Lett.* **80** 3817.
- [10] Grafen - materiál budoucnosti. 2009, <http://fyzmatik.pise.cz/122032-grafen-material-budoucnosti.html>

- [11] Petřík, M., Čím je zajímavý grafen? 2009.
<http://petrik.bigblogger.lidovky.cz/c/113103/Cim-je-zajimavy-grafen.html>
- [12] Yu-Ming Lin: *Operation of Grafen Transistors at GHz Frequencies*, arXiv:0904.2745, 2009
- [13] Dumé, B., Graphene single-transistor amplifier is a first, 2010,
<http://physicsworld.com/cws/article/news/44089>.
- [14] Floriano Traversi: *Integrated complementary grafen inverter*, arXiv:0904.2745, 2009
- [15] Havránek, M., Grafen – materiál, kde elektrony ztrácejí hmotnost. Aldebaran Bulletin, Číslo 26, ročník 7 (2009)
- [16] Floriano Traversi et al, Integrated complementary graphene inverter,
<http://arxiv.org/abs/0904.2745v1>, 2009
- [17] Made in IBM Labs: Researchers Unveil Nanotechnology Circuits for Wireless Devices. 2011, <http://www-03.ibm.com/press/us/en/pressrelease/34726.wss>
- [18] Belle Dumé, Nanoribbons make good memories,
<http://nanotechweb.org/cws/article/tech/44264>
- [19] Researchers one step closer to 'bootless' computer,
<http://www.infoworld.com/d/storage/researchers-one-step-closer-bootless-computer-994>
- [20] Schedin, F. et al. Detection of individual gas molecules adsorbed on graphene. Nature Mater. 6, 652-655 (2007)

TECHNIKA FPGA

Vladimír Kašík

VŠB-Technická univerzita Ostrava, FEI, Katedra kybernetiky a biomedicínského inženýrství, 17.listopadu 15, 708 33 Ostrava-Poruba
vladimir.kasik@vsb.cz

Abstrakt:

Nejvýkonnějšími představiteli programovatelných logických součástek na trhu jsou dnes obvody FPGA. S nasazením těchto obvodů se můžeme setkat v mnoha oblastech digitální techniky, ve kterých jsou klíčovými požadavky vysoký výpočetní výkon, rekonfigurovatelnost návrhu, možnost rychlého číslicového zpracování signálů, podpora multimediálních aplikací nebo třeba dostatečný počet vstupně/výstupních linek. O těchto vlastnostech FPGA obvodů se mohou čtenáři dovědět z mnohých časopisů nebo internetových zdrojů. Pro laickou veřejnost nebo i běžného programátora však může být tato technologie zahalena rouškou tajemství ve smyslu „jak“ danou úlohu či algoritmus pro FPGA vlastně navrhnout, nebo k čemu konkrétně nám tyto obvody mohou posloužit.

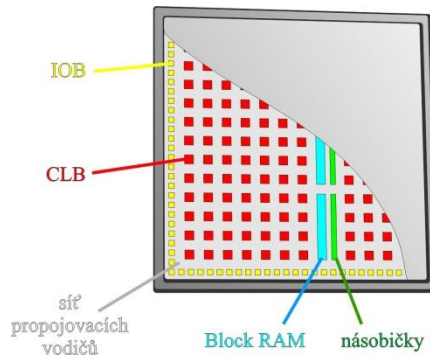
Tento článek nemá ambice podat vyčerpávající přehled nebo snad návod k použití FPGA. Je spíše sbírkou několika vybraných příkladů, jenž mohou pomoci návrhářům a příznivcům FPGA v rozvoji vlastních nápadů.

1. Úvod

Obecná architektura obvodů FPGA (Field Programmable Gate Array) obsahuje čtyři základní komponenty, ze kterých můžeme tvořit téměř libovolné logické zapojení:

- Pravidelnou matici konfigurovatelných logických bloků CLB (Configurable Logic Block), které představují základní stavební prvky vytvářených logických funkcí FPGA.
- Vstupně/výstupní bloky IOB (Input / Output Block). Jednotlivé vývody mohou být konfigurovány jako vstupní, výstupní nebo obousměrné s třístavovým řízením.
- Síť lokálních a globálních propojovacích prostředků.
- Statickou paměť konfigurace.

Na obr.1 jsou zobrazeny ještě některé další prvky – bloková paměť, HW násobičky, které mohou dále zvýšit možnosti a výkonnost obvodu. Tyto a některé další prvky jako např. bloky vysokorychlostní sériové komunikace byly postupně doplněny v rámci vývoje nových FPGA architektur.



Obr. 1. Základní architektura současných obvodů FPGA.

V zásadě však hlavní roli vždy hraje logika z konfiguračních logických bloků CLB, která se zpravidla na funkci výsledného návrhu podílí největší měrou. Pro implementaci logických funkcí může návrhář zvolit buď softwarové řešení s některým ze soft-procesorů nebo půjde cestou obvodového návrhu a tedy hardwarového řešení. Rozhodnutí mezi těmito možnostmi vždy závisí na konkrétním zadání a svůj osobitý příspěvek mu dodá samotný návrhář, nemluvě o tom, že oba přístupy lze vhodně kombinovat. Pokud však má být návrh do FPGA dostatečně efektivní a optimalizovaný na výkon, budeme nuceni volit zejména HW řešení algoritmů. K dispozici máme, samozřejmě, pokročilé vývojové nástroje provázející nás od kroku simulace až po verifikaci funkce v cílovém obvodu. Ovšem ať už je návrh proveden pomocí schématu, některého jazyka HDL nebo třeba stavového diagramu, vždy by měl mít návrhář na zřeteli úroveň RTL popisu obvodu, aby dosáhl dostatečně optimálního výsledku s použitím dané architektury.

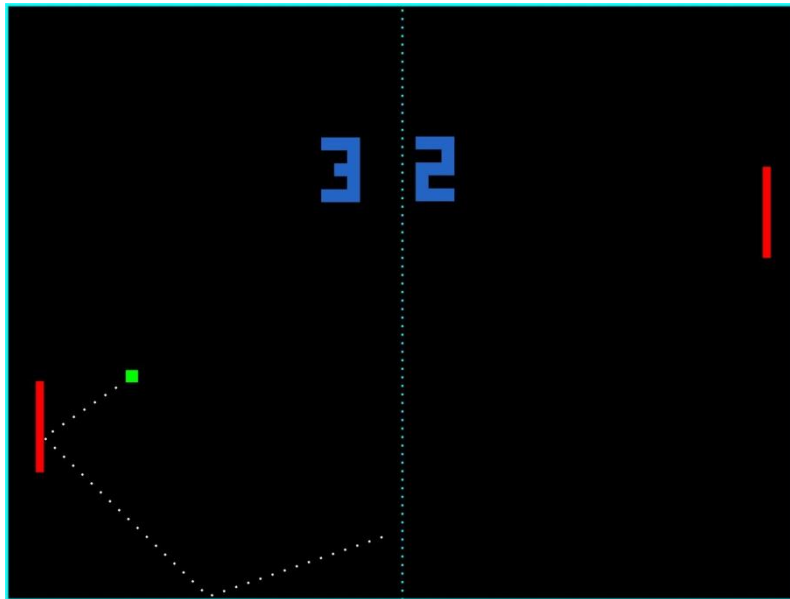
Následující odstavce popisují čistě HW řešení některých úloh a pravdou možná je, že v některých případech bychom si mnohem snáze představili řešení softwarové. Nelze však říct, že HW řešení je obecně „lepší“. Obě řešení mají své výhody i nevýhody a je třeba porovnat rychlostní parametry, spotřebu logických prostředků, flexibilitu a rychlost návrhu nebo třeba zkušenosti návrháře.

2. HW řešení hry „pong“

Kdysi dobře známá počítačová a také televizní hra „pong“ nám může dobře posloužit pro demonstraci toho, jak algoritmus typicky softwarový převést do HW podoby. Již v tuto chvíli lze s úspěchem namítnout, proč bychom se o to měli snažit, tím spíše, že levných a poměrně výkonných mikrokontrolérů je na trhu spousta. Ještě jednou: jde především o ukázkovou demonstraci, i když některé výhody se také najdou.

Pro specifikaci zadání dodejme, že projekt by měl mít následující vlastnosti:

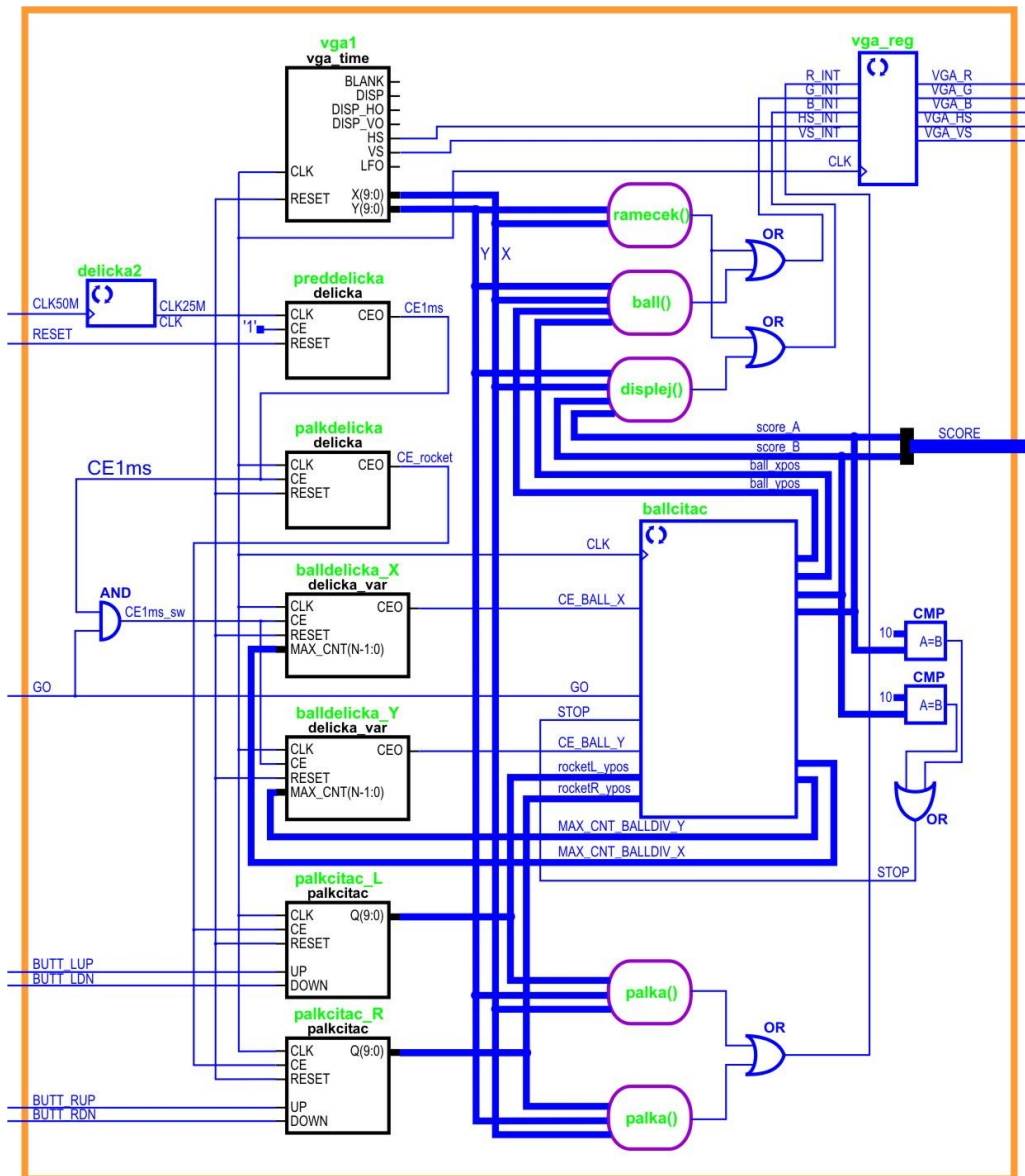
- výstup VGA, 16 barev,
- 2 páčky ovládané tlačítky (nahoru/dolů),
- zobrazení skóre,
- zobrazení rámečku a středové linky,
- úhel a rychlost míčku se změní náhodně při každém odrazu,
- tlačítko RESET,
- taktování hodinami 50MHz.



Obr. 2. Obrazovka hry „pong“.

Projekt je vytvořen pro vývojovou desku Spartan-3 Starter Kit s obvodem FPGA Xilinx. Návrh je popsán v jazyce VHDL avšak pro objasnění navržené struktury je na obr. 3 uvedeno zjednodušené obvodové zapojení s vyznačením jednotlivých modulů a použitých signálů.

Jelikož použitá deska s FPGA sice disponuje VGA konektorem, ale neobsahuje žádný řadič videa ani video-DAC, bylo třeba nejprve navrhnout logiku pro generování videosignálu. V této věci je základním logickým článkem modul `vga_time`, tvořící časovou základnu pro standard VGA. Jde o obvod generující souřadnice X a Y paprsku na obrazovce a synchronizační signály HS a VS. Taktování časové základny je řešeno 25MHz hodinami získanými ze vstupního signálu 50MHz podělením dvěma. Časová základna je tvořena dvěma stavovými automaty (horizontální a vertikální běh paprsku) a její zdrojová podoba je VHDL popis, další viz. [1].



Obr. 3. Celkové obvodové zapojení pro HW řešení hry „pong“.

O vykreslování všech 2D objektů se starají oválné fialové bločky na obr.3, což jsou obvody pro modulaci videosignálu podle vstupních dat (pozice míčku, poloha pálek, hodnota skóre). Jedná se v podstatě o komparátory porovnávající souřadnice XY časové základny s nějakým způsobem upravenými vstupními daty. Výstupem těchto kombinačních logických obvodů jsou dvouhodnotové jasové signály, které jsou následně připojeny k základním barevným složkám VGA rozhraní.

Další děličky a čítače v levé části schématu se starají o plynulý pohyb pálek na základě stisku tlačítka a o automatický pohyb míčku. Děličky, čítače a registry tvoří hlavní část sekvenční logiky projektu. Zřejmě nejnáročnějším blokem je modul **ballcitac**, v němž jsou ukryta pravidla této hry. Konkrétně jde o odraz míčku při dotyku s pálkou (také změna směru, úhlu odrazu a rychlosti), resp. započtení bonusu dotykem o okraj hrací plochy. Komparátory CMP v pravé části schématu zajistí zastavení hry při dosažení skóre 10 u kteréhokoliv hráče. Modul ballcitac je stejně jako ostatní sekvenční obvody v tomto projektu popsán ve VHDL konstrukcí process(). Na tomto místě je vhodné zmínit, jakým způsobem jsou zde vlastně implementovány proměnné, které v SW řešení obydlují místa v operační paměti počítače.

Přestože moderní FPGA obsahují ve své architektuře bloky statické paměti RAM, jsou častěji tyto datové objekty tvořeny registry složenými z D-klopných obvodů. Výstupy z těchto registrů jsou pak sběrnice připojeny do vstupů těch modulů, ve kterých se dále zpracovávají, viz. obr. 3. Za povšimnutí také stojí, že kromě první děličky (delicka2) jsou všechny zbývající sekvenční obvody taktovány stejným hodinovým signálem (CLK). V tomto smyslu se jedná o obvod plně synchronní.

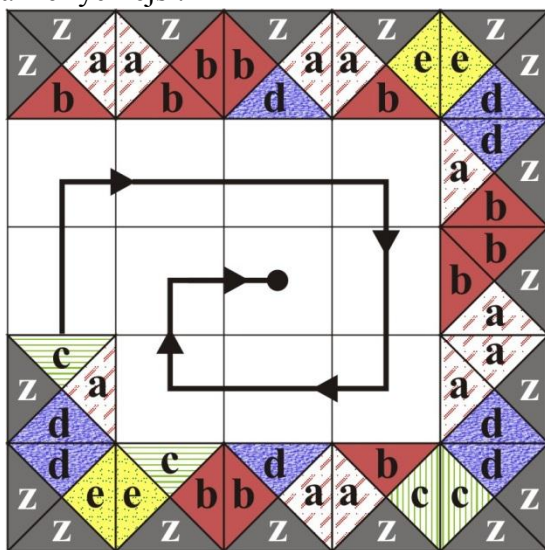
Budeme-li i v tomto demonstračním příkladu hledat výhody proti SW řešení s procesorem, pak jsou to např.:

- bezpečnější řešení – veškeré operace jsou jednoznačně deterministické a pokud návrh neobsahuje tzv. logické hazardy, pak nemůže dojít k „zatuhnutí“, nám dobře známému u programů na PC.
- absence videopaměti – obraz je tvořen modulátory a časovou základnou, je tedy generován v reálném čase.

3. HW řešení puzzle Eternity II

Klíčovým momentem pro progresivní užití programovatelné logiky je nalezení paralelního algoritmu zadané úlohy. Zde popsáním příkladem je implementace rychlého výpočtu backtracking algoritmu s FPGA pro řešení puzzle Eternity II [2],[3].

V případě Eternity II je úkolem nalézt umístění 16x16 kamenů do hracího plánu tak, aby sousední hrany měly stejnou barvu. Známými podmínkami jsou pouze centrální kámen a šedé okraje hracího plánu. Ke zvýšení náročnosti přispívá možnost otáčení kamenů před umístěním. Klasický přístup k nalezení výsledku je sekvenční vyhledávání jednotlivých kamenů, jejichž hrany barevně souhlasí s přiléhajícími hranami obsazovaného pole. Při řešení na počítači může nalezení jednoho vhodného kandidáta (kamene) znamenat stovky až tisíce hodinových cyklů procesoru. V následujícím textu je uvedena metoda pro řešení BT algoritmu využívající paralelní zpracování. I když dnešní počítače dosahují vyšších taktovacích frekvencí, než jakých dosahujeme u FPGA obvodů, je toto paralelní řešení výrazně rychlejší.



Na obr. 4 je ukázka zjednodušené verze tohoto puzzle a postup jeho řešení, který objasňuje následující popis.

Algoritmus 1: Backtracking algoritmus pro Eternity II

```

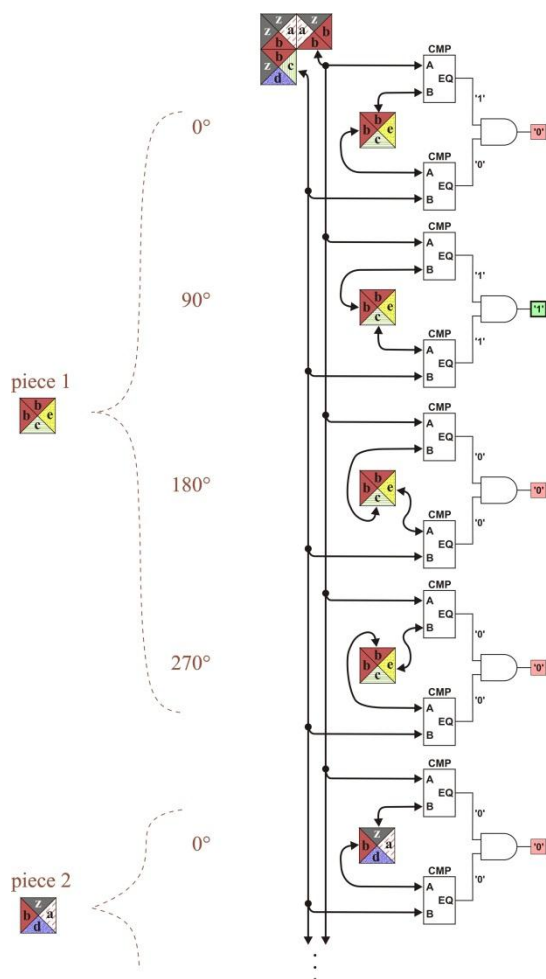
while není dosaženo konce do
  if existuje vhodný kámen pro následující
  pozice[i] then
    1. vlož kámen do pozice[i]
    2.  $i \leftarrow i + 1$ 
  else
    1. vyjmi zpět kámen z pozice[i-1]
    2.  $i \leftarrow i - 1$ 

```

Obr. 4. Průběh řešení BT algoritmu puzzle Eternity II, převzato z [3].

V klasickém sekvenčním řešení je nutný výrazný výpočetní čas k nalezení vhodného kandidáta na umístění $pozice[i]$. Pro každý volný kámen je totiž třeba provést porovnání barev u všech přiléhajících hran a to pro čtyři různá otočení kamene. A protože Eternity II obsahuje 256 kamenů, je v krajním případě třeba až $256 \times 4 \times 4 = 4096$ porovnání barev pro umístění jednoho kamene do $pozice[i]$. Počet taktů procesoru pro jedno umístění kamene je pak ještě násobně vyšší.

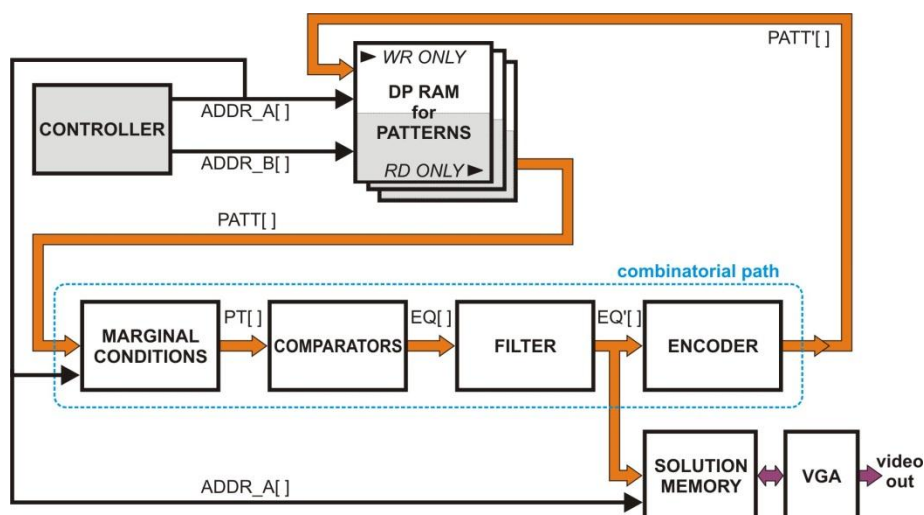
Existuje však i paralelní řešení tohoto algoritmu, kdy pro jedno umístění/vyjmutí kamene postačí jediný takt hodin. Řešení spočívá ve specifickém komparátoru, který dokáže současně porovnat všechny hrany $z\ pozice[i]$ s možnostmi všech zbývajících kamenů.



Ve své podstatě se jedná o paralelní zapojení mnoha komparátorů, jejichž jeden vstup je vždy konstantní. Komparátor je kombinační logický obvod a rychlost výsledku je tak dána pouze zpožděním signálu vnitřní logikou, tedy řádově v nanosekundách. Z obr. 5 je vidět, že na výstupu celého komparátoru se objeví log. 1 na všech výstupech, které odpovídají vhodně orientovaným kamenům na umístění $pozice[i]$. Za komparátorem pak samozřejmě následují další bloky, viz. obr. 6. Např. filtr, který vybírá vhodného kandidáta podle určitého pravidla tak, aby se vyloučily již obsazené kameny nebo ty, které už jednou na danou pozici obsazeny byly, ale při následném neúspěchu byly odebrány. Filtr je také kombinačním logickým obvodem s velmi malým zpožděním. Celkový stav řešení, tedy celý herní plán s rozmístěním kamenů, který současně determinuje soubor dosud neumístěných kamenů i další postup, je aktuálně uložen v rychlé dvoubránové statické RAM paměti v FPGA. Nejlepší výsledek, tedy stav řešení s největším počtem umístěných kamenů, je průběžně ukládán do další paměti. Její obsah je pomocí aplikačně specifického VGA adaptéru graficky zobrazen na monitoru.

Obr. 5. Zapojení bloku komparátorů, převzato z [3].

Celý obvod tvoří uzavřenou datovou smyčku a je řízen jednoduchým řadičem, který pouze rozhoduje, má-li se kámen umístit nebo naopak odebrat a případně, bylo-li již dosaženo cílové pozice. Rychlost řešení významně omezuje zpoždění cesty kombinační logiky, která je navíc poměrně náročná. I přesto však je uvedené řešení řádově mnohem rychlejší (asi 50x při $f_{CLK}=16\text{MHz}$) než odpovídající program na výkonném PC [3].

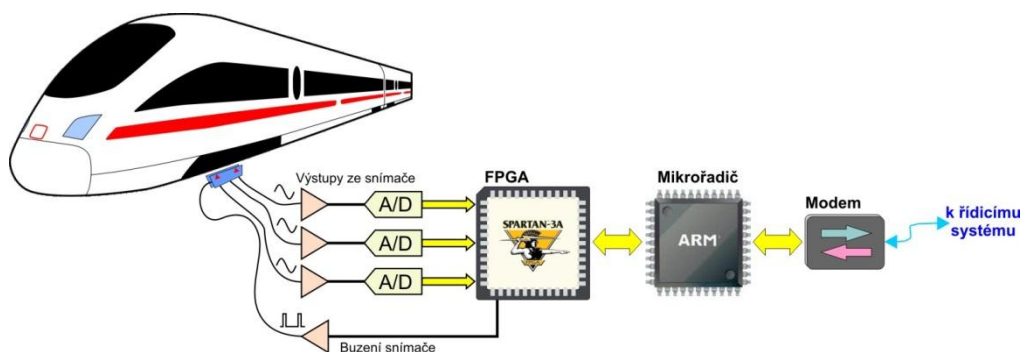


Obr. 6. Blokový diagram HW řešení backtracking algoritmu, převzato z [3].

4. Počítač náprav v železniční dopravě

Výše uvedená témata mohou být považována spíše za zábavné školní příklady. Uvedme tedy reálný projekt, který je zaměřen do praxe, konkrétně do zabezpečovací techniky v železniční dopravě.

Pro vyhodnocení, zda je traťový úsek volný nebo se v něm nachází vlak, se používá tzv. počítač náprav. Zařízení počítá nápravy, které vstoupily do monitorovaného úseku trati a pak také nápravy, které tento úsek opustily. Je-li rozdíl těchto čísel nulový, znamená to, že je traťový úsek volný a dalšímu vlaku je dovoleno do něj vjet.

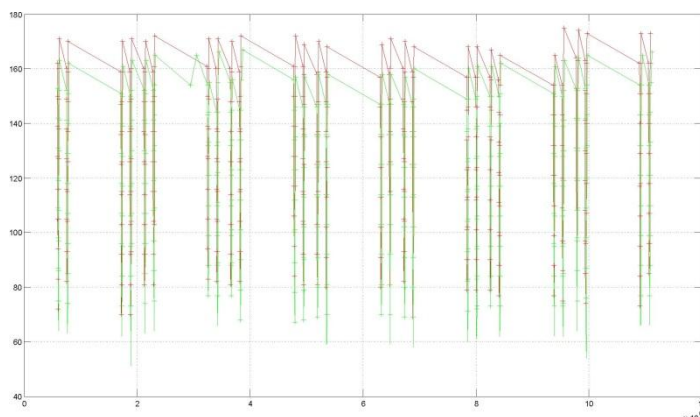


Obr. 7. Blokové schéma jednoho kanálu počítače náprav s obvodem FPGA, převzato z [4] a upraveno.

Pokud je však úsek obsazen, musí být jiné přijíždějící vlaky zastaveny, jinak hrozí nebezpečí havárie. Počítač náprav lze také použít pro výstražná zařízení na železnici, např. na železničních přejezdech. V dřívějších dobách tato funkce využívala elektrického kontaktu mezi levou a pravou kolejnici při vjezdu nápravy do sledovaného úseku trati. Tento stav vyhodnocovaly reléové obvody. V současnosti jsou však na tuto techniku kladeny vyšší nároky a jsou tak vyvíjeny jako bezkontaktní řešení s indukčními snímači umístěnými u kolejnice. Tyto snímače pracují s vf signály a v takovém případě je velmi důležitý odstup

signálu od šumu a jiných rušivých napětí spojených s atmosférickými jevy jako způsobuje blesk během bouřky.

Moderní počítač náprav by měl být schopen spolehlivé funkce až do rychlosti 300 km/h, při které se náprava nad čidlem pohybuje jen po dobu asi 1-2 milisekund. Pro tyto nároky je třeba již použít metod číslicového zpracování signálu (DSP) v reálném čase. Signály ze snímačů jsou nejdříve digitalizovány v A/D převodnících.



Obr. 8. Vyhodnocené signály ze snímače při průjezdu vlaku Pendolino, převzato z [5].

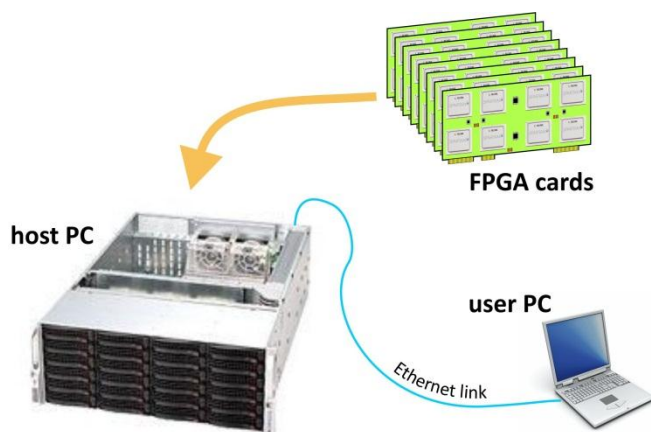
Vhodným řešením pro následné číslicové vyhodnocení je použití FPGA, z něhož jsou výsledky předány do jednočipového mikropočítače (mikrořadiče, MCU). Použitý mikrořadič umožňuje vzdálené nastavení parametrů v FPGA a dálkovou komunikaci s řídicím centrem prostřednictvím modemu (obr. 7).

Výhodou a opodstatněním použití obvodu FPGA v tomto případě jsou zejména:

- velmi rychlé vyhodnocení vzorkovaných signálů v reálném čase,
- současné zpracování dat ze třech A/D převodníků při nezávislé komunikaci s MCU
- deterministický způsob práce, kdy odezva logického obvodu na vstupní signál je dána jeho známou vnitřní funkcí a počtem hodinových taktů.

5. Masivně paralelní výpočty s FPGA

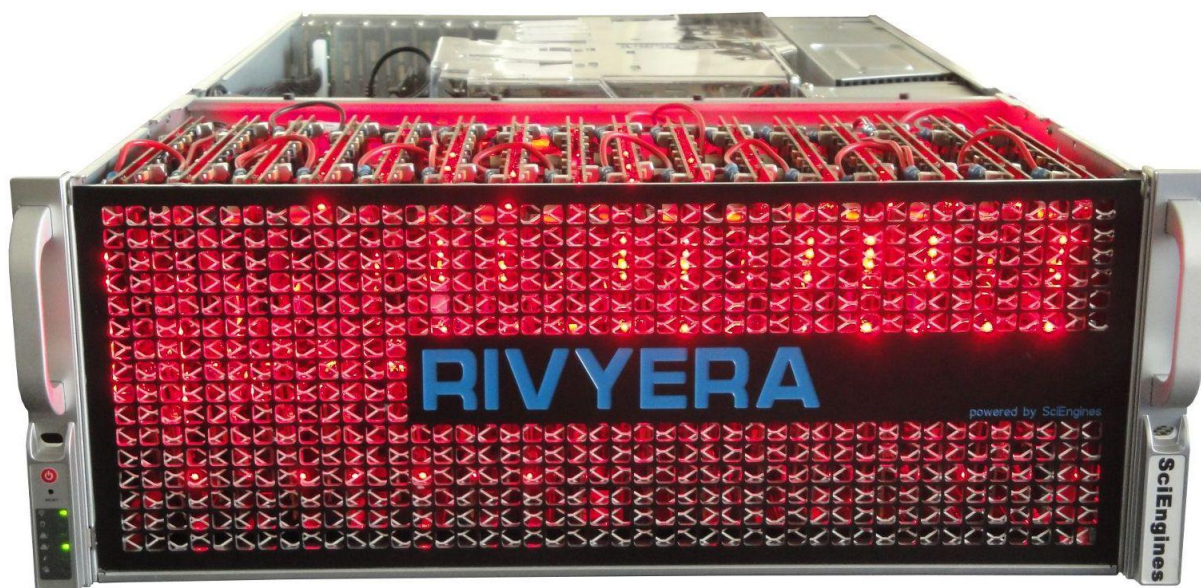
V případě potřeby nasazení velmi vysokého výpočetního výkonu pro algoritmy, které lze paralelizovat, existuje možnost využití velkého počtu FPGA obvodů vzájemně propojených odpovídajícími datovými cestami. V současné době již existují některá komerčně dostupná řešení HPC (High-Performance Computing) s desítkami až tisíci FPGA pro vysoce výkonné výpočetní aplikace. Tyto výpočetní jednotky mohou výrazně urychlit výpočty v různých oblastech, jako např. zpracování obrazu v biomedicíně (vyhodnocení snímků z MR, CT), v kryptografii, statistickém zpracování dat, v biologických vědách atd.



Obr. 9. Koncepte HPC systému s FPGA.

Ve výkonných HPC systémech bývá soubor FPGA obvodů umístěn na jednotlivé karty, které jsou zasunuty do slotů sběrnice systému (backplane) s vysokou datovou propustností. Komunikaci mezi uživatelem a deskami s FPGA zajišťuje hostitelské PC s odpovídajícím API rozhraním.

Jedním z rozvíjejících se producentů těchto systémů je německá firma SciEngines GmbH, která má ve své nabídce systémy s FPGA obvody Xilinx. Na obr. 10 je jeden z jejich produktů – HPC systém RIVYERA s 256 FPGA obvody Xilinx Spartan-6 S6LX150, viz. [6]. Efektivní využití takového výpočetního systému představuje jednak návrh logické struktury pro FPGA obvody a v druhé fázi naprogramování aplikace pro přenos dat mezi uživatelem a logikou FPGA. Zatímco pro návrh samotné logiky lze využít známé návrhové prostředky jako Xilinx ISE s podporou jazyka VHDL, pro naprogramování aplikačního SW jsou k dispozici API rozhraní pro jazyky C nebo JAVA.



Obr. 10. Superpočítač RIVYERA s 256 FPGA obvody.

6. Závěr

S obvody FPGA se můžeme setkat v mnoha odvětvích průmyslu, vědy a výzkumu. Volba mezi programovatelnou logikou a procesorovými systémy však nebývá vždy jednoznačná a závisí na mnoha aspektech. K nim patří zejména požadavky na rychlost, flexibilitu, počet vstupně/výstupních kanálů, bezpečnost funkční (safety) nebo informační (security), ale také ekonomické hledisko nebo např. zkušenosti návrháře. Zejména v případech paralelních algoritmů a výkonných HPC systémů však mají obvody FPGA své nezastupitelné místo.

Literatura

- [1] KASIK, V. FPGA-powered Embedded Vector Graphics. In conference proceedings UBICOMM 2008, Valencia, Spain, ISBN 978-0-7695-3367-4, DOI: 10.1109/UBICOMM.2008.46.
- [2] ETERNITY II [online]. [cit. 2014-04-07] Available in URL < <http://www.eternityii.cz/> >

- [3] KASIK, V. Acceleration of Backtracking Algorithm with FPGA. In 2010 International Conference on Applied Electronics, pp. 149-152, Pilsen, Czech Republic, SEP 08-09, 2010, ISBN 978-80-7043-865-7, ISSN 1803-7232. WOS:000305765800031
- [4] HRBÁČ, R., KOLÁŘ, V., KAŠÍK, V., BLÁHA, R. Vývoj nového řešení snímače počítače náprav pro detekci kolejových vozidel pro rychlosti do 300 km/hod. NŽT, ISSN 1210-3942, 2011
- [5] KASIK, V., TUTSCH, M. Simulation and Measurement of Axle Counter With FPGA. In: Technical Computing Prague 2011, 19th Annual Conference Proceedings. Prague, Czech Republic, 2011. ISBN 978-80-7080-794-1 Praha. Available in URL <
http://dsp.vscht.cz/konference_matlab/MATLAB11/prispevky/065_kasik.pdf>
- [6] SciEngines GmbH: <http://www.sciengines.com/>.

MIKROVLNNÁ SKENOVACÍ MIKROSKOPIE

Milan Navrátil, Vojtěch Křesálek, Josef Kudělka, Tomáš Martínek

Ústav elektroniky a měření, Fakulta aplikované informatiky,

Univerzita Tomáše Bati ve Zlíně

{navratil, kresalek, kudelka, tmartinek}@fai.utb.cz

Abstrakt:

Tato práce se zabývá měřením elektromagnetických vlastností vzorků pomocí metody vycházejících z mikroskopie atomárních sil (AFM) - skenovací mikrovlnnou mikroskopií (SMM). Největší důraz je kladen na studium polovodičových struktur s využitím jak kontaktního módu mikroskopie atomárních sil, tak i bezkontaktního mikrovlnného módu. Při měření je použit mikroskopický systém Agilent 5420 SPM v kombinaci s vektorovým analyzátozem Agilent PNA N5230A.

1. Úvod

K velmi často diskutovaným oborům současnosti se řadí nanotechnologie, což je interdisciplinární vědní obor, který se zabývá vytvářením a využíváním struktur v měřítku řádu jednotek až desítek nanometrů v alespoň jednom rozměru. Cílem nanotechnologie je přesné a předvídatelné ovládání jednotlivých atomů a molekul tak, aby vznikl nějaký objekt nebo struktura s novými užitnými vlastnostmi. Nanotechnologie se dotýkají širokého spektra aplikací v různých oborech lidské činnosti, ať jsou to biotechnologie, životní prostředí, zdravotnictví, pokročilé materiály, robotika, kosmonautika, vojenství, informační technologie, mechanické inženýrství a další.

K ověření výrobní technologie, případně k zajištění kvalitativních požadavků na vyráběný produkt, je potřeba mít zpětnou vazbu. Tu nám může poskytnout měřicí metoda, která nám umožní sledovat struktury v takovémto malém rozlišení, a to nejen z hlediska topografického, ale také z pohledu dalších fyzikálních vlastností. Cesta k ní však byla poměrně dlouhá. V 60. letech minulého století přišel vůbec poprvé s myšlenkou možné manipulace s molekulami a atomy americký vědec a nositel Nobelovy ceny za fyziku Richard Philips Feynman [1]. Pojem nanotechnologie vznikl až v roce 1974, kdy byla představena nová technologie výroby součástek s přesností na nanometry [2]. Do konce 20. století probíhaly výzkumy, které se zabývaly studiem vlastností stavebních prvků hmoty na molekulární a atomární úrovni. Nejvýznamnějším přínosem v tomto období byla konstrukce přístroje, který umožnil pozorování a manipulaci s atomy a molekulami – tzv. rastrovací tunelovací mikroskop (Scanning Tunneling Microscope - STM). Bylo to v roce 1981 ve výzkumné laboratoři IBM v Curychu ve Švýcarsku dvojicí Dr. Binnig a Dr. Rohrer. O rok později bylo demonstrováno atomární rozlišení na monokrystalu křemíku. V roce 1985 byla vyvinuta metoda mikroskopie atomárních sil (Atomic Force Microscope - AFM) a následující rok byla tato dvojice oceněna Nobelovou cenou za fyziku [3]. Mikroskopie atomárních sil umožňuje zkoumat strukturní a funkční vlastnosti molekul v různých prostředích (vzduch, kapalina, vakuum) s atomárním rozlišením. U této metody navíc není nutné, aby byly zkoumané materiály vodivé, jak tomu bylo u původní skenovací tunelové mikroskopie. Během následujících let se začaly objevovat další měřicí metody a technologický pokrok v této oblasti pokračuje dodnes, kdy máme

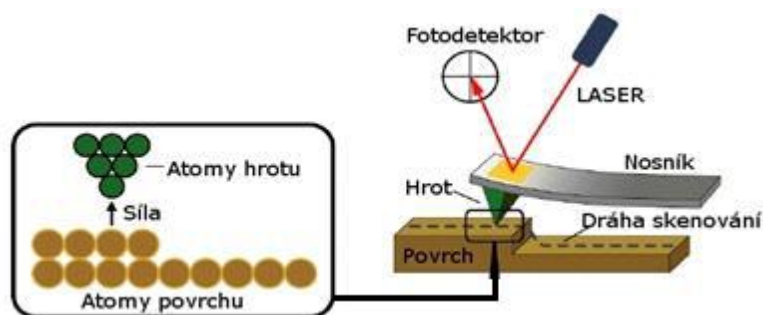
k dispozici techniky, které slouží jednak k zobrazování různých vlastností povrchů (elastické, třecí, tepelné, magnetické, elektrické), ale také např. k modifikaci povrchů, litografickému zpracování či k samotné manipulaci s jednotlivými atomy či molekulami.

Obecně se těmito metodám říká mikroskopie skenující sondou (Scanning Probe Microscopy, SPM). Tyto metody využívají principu těsného přiblížení, případně i kontaktu skenující sondy se vzorkem a měření jejich následných vzájemných interakcí. Pro charakterizaci zkoumaného povrchu vzorku je potřeba provést měření ve více bodech (v tzv. rastru), výsledný obraz je pak počítačově sestaven ze získaných dat. Uplatnění uvedených měřicích metod je v současné době velmi široké, největší zastoupení má především v oblastech fyziky povrchů a biologií. V poslední době je vyvíjeno enormní úsilí v oblasti základního výzkumu, zejména v oblasti nanoelektroniky. Neméně zásadní je i mapování fyzikálních vlastností materiálů pro materiálový a polovodičový průmysl. Tato mapování jsou ovšem složitější než pouhé zobrazování topografie, poněvadž v mnoha případech jsou tyto vlastnosti ovlivněny strukturami, nacházejícími se pod povrchem zkoumaného vzorku. Je proto tedy důležité zvolit správnou techniku, aby byly tyto vlastnosti citlivě změřeny v dostačujícím rozlišení a zkoumaný vzorek zůstal nepoškozen. Od objevení STM a AFM uplynulo již hodně času a bylo vyvinuto několik dalších odvozených metod, které mají své výhody i nevýhody. V doméně polovodičového průmyslu prokázala největší potenciál právě mikrovlnná skenovací mikroskopie (Scanning microwave microscopy - SMM). Uplatnila se jak v oblasti vědeckého výzkumu, tak i v průmyslových aplikacích.

V následujícím textu je objasněn princip metod AFM a SMM a experimentální měření zaměřené na polovodivé struktury.

2. AFM

Mikroskopie atomárních sil může být použita na měření vodivých i nevodivých materiálů, poskytuje vysoké rozlišení a 3D informaci o vzorku. Tato metoda nevyžaduje náročnou přípravu vzorků. Měření může být prováděno i v kapalinách i za různé kontrolovatelné teploty. Potenciál AFM se dá využít v přírodních vědách, biofyzice, nanotechnologiích, biotechnologiích, elektrochemii a ve studiu polymerů a materiálů obecně [4].



Obr. 11 Základní princip AFM

AFM funguje na principu vychýlení nosníku vlivem síly působící mezi atomy hrotu a atomy povrchu měřeného vzorku. Je-li přiveden hrot k povrchu vzorku, začne na něj působit přitažlivá či odpuzivá síla v závislosti na jejich vzájemné vzdálenosti. Touto silou je nosník vychylován a tím je vychýlen i laserový paprsek, jenž je v klidu zaměřen do středu čtyřsegmentového fotocitlivého detektoru, viz Obr. 11.



Obr. 12 Závislost síly interakce na vzdálenosti hrotu od vzorku

Na Obr. 12 jsou zobrazeny interakční síly v závislosti na vzdálenosti mezi hrotem a vzorkem. Na pravé části křivky jsou hrot a vzorek odděleny velkou vzdáleností. Jak se přibližují, začne působit nejdříve slabá přitažlivá síla. Tato zóna interakce je známá jako bezkontaktní režim. Při dalším přibližování začnou postupně dominovat odpudivé Van der Waalovi síly. Když je vzdálenost mezi hrotem a vzorkem jen pár desetin nanometru, síly jsou v rovnováze a jsou rovny nule - jsme v oblasti přerušovaného kontaktu. Když začnou převažovat odpudivé síly, atomy jsou v kontaktním režimu.

Interakce mezi hrotem a vzorkem komplikují i další síly, včetně kapilárních, adhezních a Pauliho sil. Kapilární síly vznikají v případě, kdy je hrot ponořen v kapalině, molekuly kapaliny obklopují hrot, jenž je v kontaktu s povrchem vzorku. Kapilární síly jsou prakticky konstantní, protože kapalina kolem hrotu a vzorku je nestlačitelná. Celková síla působící na hrot je součtem kapilárních, adhezních a Van der Waalových sil. Van der Waalovy síly působí proti každé síle, která se snaží atomy hrotu a vzorku více přiblížit, což vede k většímu vychýlení nosníku, nikoliv k jejich přiblížení. Proto se dá vychylka nosníku použít jako spolehlivý indikátor topografie povrchu.

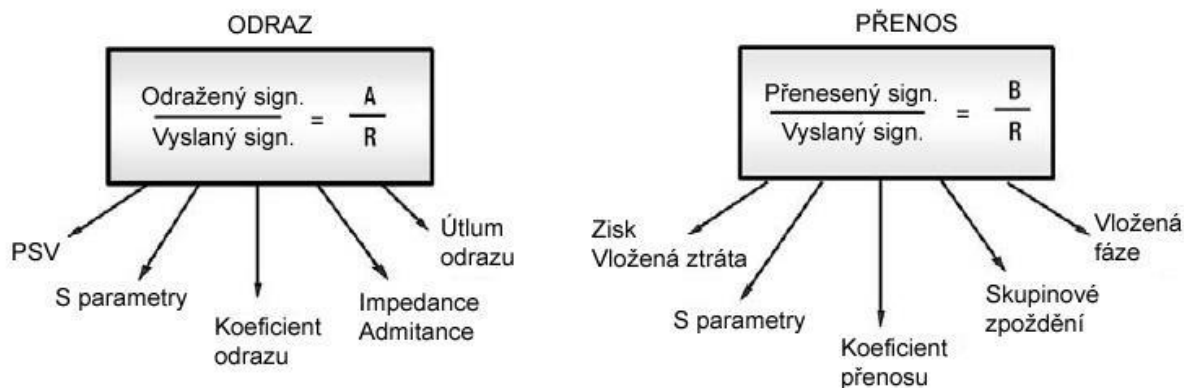
3. Princip metody SMM

Jedná se o kombinaci možností mikrovlnného vektorového analyzátoru (VNA) a mikroskopie atomárních sil (AFM), lze dosáhnout rozlišení pozice až v řádu nanometrů [5]. Vektorový analyzátor je přístroj pro extrémně přesná a kalibrovaná měření elektromagnetických komplexních signálů. Vyslaný signál, jehož parametry jsou přesně definované a známé, je z vektorového analyzátoru odeslán k vodivé AFM sondě, která je v kontaktu s měřeným povrchem vzorku (zátěží). Sonda slouží také jako přijímač odraženého mikrovlnného signálu z kontaktního bodu mezi hrotem a vzorkem [6]. Princip metody SMM lze tedy analogicky přirovnat např. ke světlu dopadajícímu na materiál, od kterého se část světla odrazí a část projde. Princip je totožný, liší se pouze vlnovou délkou použitého záření.

Uvedený princip je využit v mikrovlnné oblasti. VNA má dva pracovní režimy: přenos a odraz. V režimu přenosu je porovnáván vyslaný signál (generovaný ve VNA) se signálem

přeneseným skrze měřený vzorek, zatímco v režimu odrazu je vyslaný signál porovnáván se signálem odraženým od měřeného vzorku [8].

V užívané terminologii je vyslaný signál označován písmenem R (referenční), odražený signál písmenem A a přenesený signál písmenem B. Z hodnoty jejich amplitudy a fáze lze vypočítat odrazové a přenosové parametry [7], viz Obr. 13.



Obr. 13 Odrazové a přenosové parametry

Některé veličiny mají čistě skalární podobu (fáze není měřena nebo je ignorována, např. útlum odrazu), některé vektorovou (např. impedance) a některé přímo souvisí s fází (např. skupinové zpoždění).

$$\Gamma = \frac{U_{\text{odražený}}}{U_{\text{vyslaný}}} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (1)$$

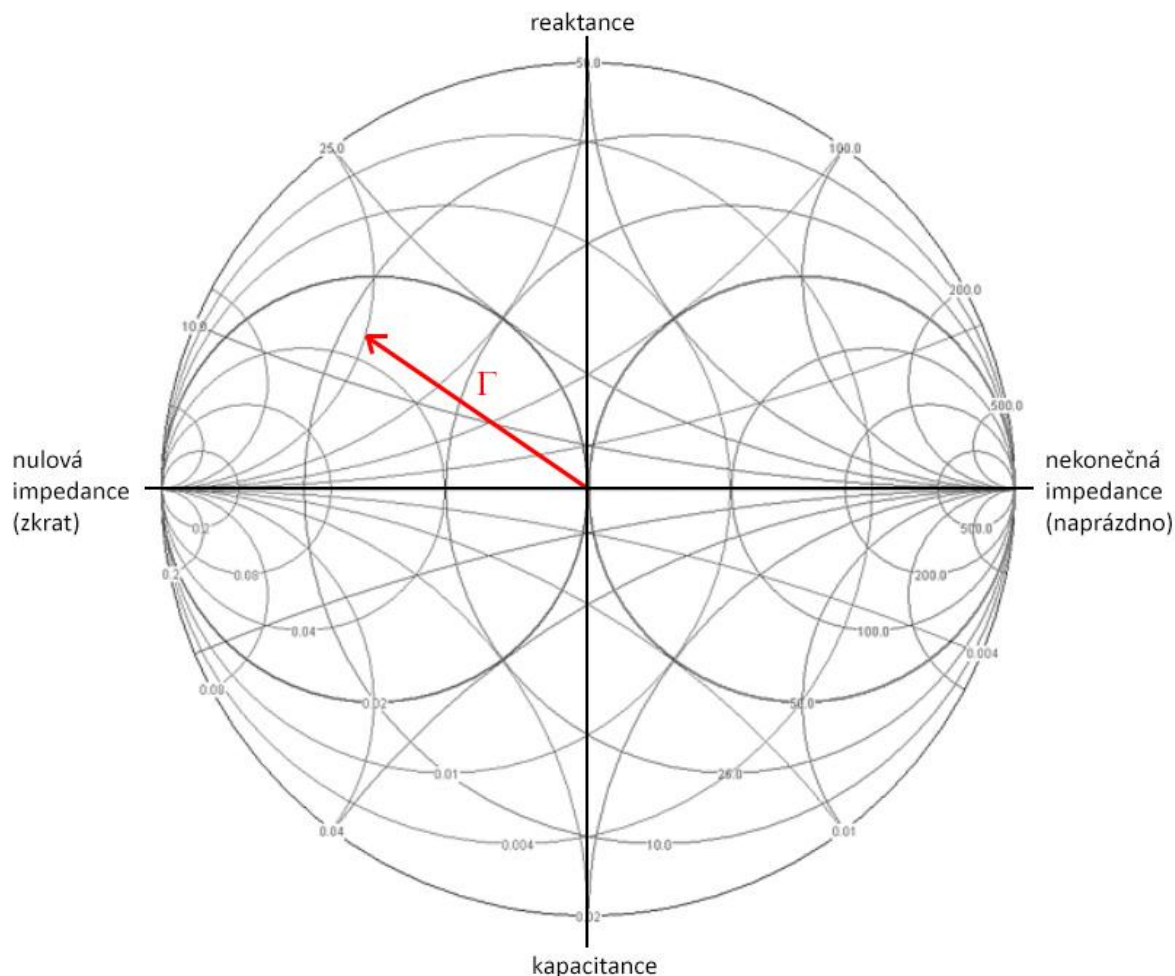
$$\rho = |\Gamma| \quad (2)$$

Koefficient odrazu (Γ) je vyjádřen jako poměr velikosti napětí odraženého a vyslaného signálu. Může být také dopočítán ze znalosti impedance přenosového vedení Z_0 a zátěže Z_L . Magnitudu koeficientu odrazu určuje (ρ). V praxi mohou teoreticky nastat tyto tři případy:

1. Veškerý signál bude přenesen $\rightarrow \rho = 0$ ($U_{\text{odražený}} = 0$)
2. Část signálu se odrazí $\rightarrow \rho > 0$ ($U_{\text{odražený}} > 0$)
3. Veškerý signál bude odražen $\rightarrow \rho = 1$ ($U_{\text{odražený}} = U_{\text{vyslaný}}$)

Z uvedeného tedy vyplývá: $0 \geq \rho \leq 1$

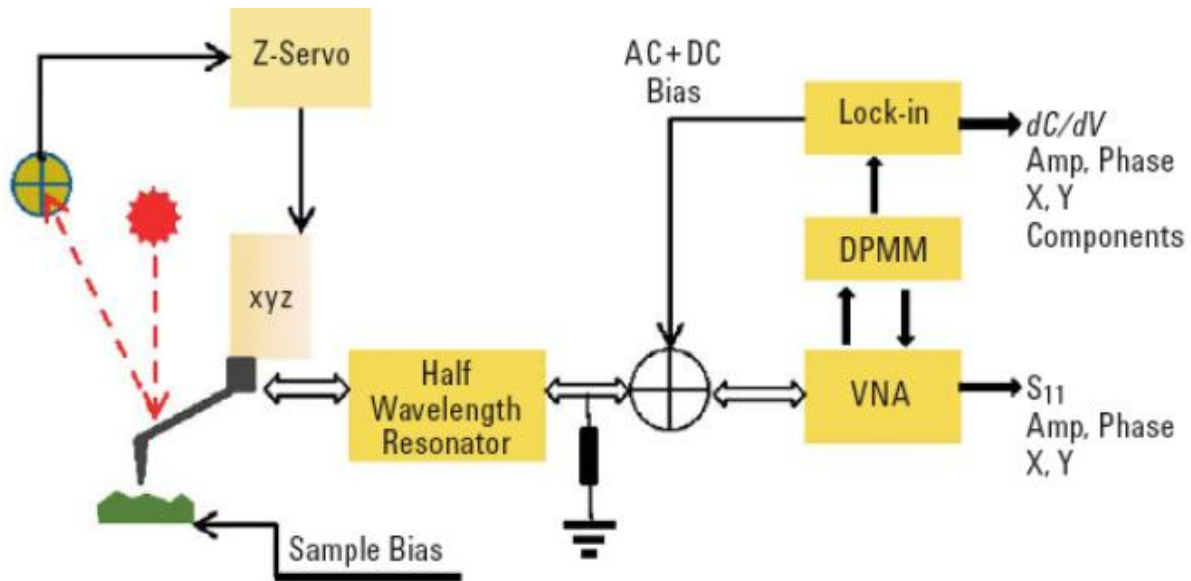
Z uvedeného vztahu je tedy možné matematicky vypočítat impedanci měřeného bodu. Toto jedno číslo by ovšem nedávalo úplný obraz vzhledem k tomu, že impedance se zpravidla mění s frekvencí a bylo by tedy obtížné výsledky správně interpretovat. Pro vyřešení tohoto problému a správnou interpretaci výsledků je využíván Smithův diagram (Smith Chart). Tato funkce je integrovaná v samotném VNA. Smithův diagram zobrazuje v komplexní rovině závislost koeficientu odrazu na impedanci. Koefficient odrazu je komplexní vektor jdoucí z počátku souřadnic do bodu odpovídající dané hodnotě impedance. Impedance je vynesena pomocí parametrických čar, viz Obr. 14.



Obr. 14 Smithův diagram

Největší citlivost Γ je dosažena při rezonanci, kdy je impedance testovaného vzorku srovnatelná s charakteristickou impedancí. Při měření v blízkosti rezonance měřený komplexní koeficient odrazu přímo souvisí s impedancí v kontaktním bodě testovaného vzorku a jsou zaznamenány i malé změny impedance. To je využito i při měření kapacity, která je při správné kalibraci určena ze změny impedance. Pro kalibraci je používán kalibrační standard – zlaté čepičky na schodovitých vrstvách oxidu křemičitého (silicon oxide) na křemíkové (silicon) podložce [8].

S využitím dC/dV kontroléru (nazývaném též DPMM - Dopant Profile Measurement Module) je systém schopen měřit souběžně s topografií a kapacitancí také koncentraci dopantů v polovodičích. Mikrovlnný signál z VNA je rozdělen na dvě části. První část je zesílena a použita jako lokální oscilační signál (LO) pro dC/dV směšovač. Druhá část je také zesílena a společně s RF signálem z MAC kontroléru poslána do sondy 0.



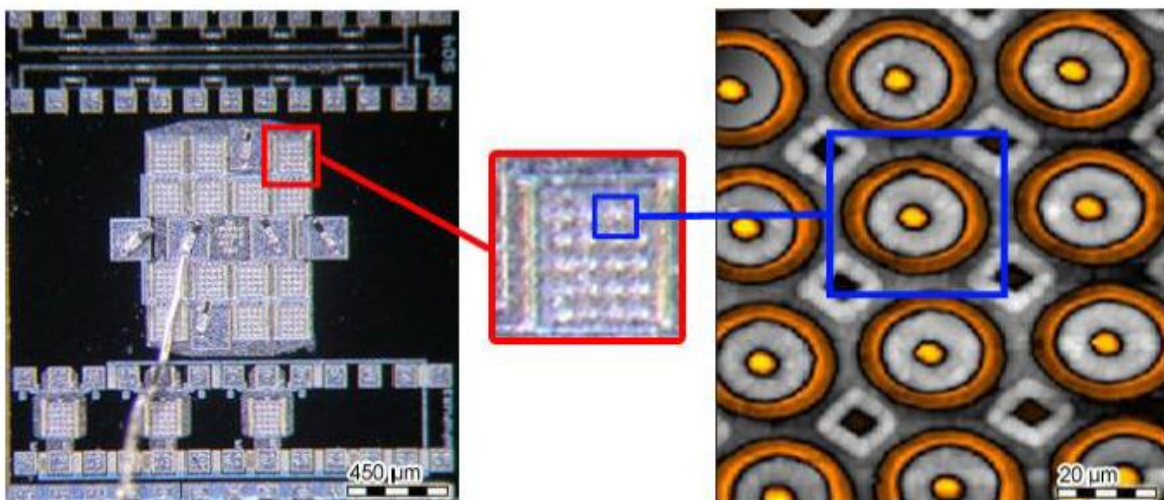
Obr. 15 SMM – Měření kapacity a koncentrace dopantů 0

Vzhledem ke změnám kapacity vzorku vyvolaným RF signálem je mikrovlnný signál odražen a modulován v závislosti na něm. Poté je odražený a namodulovaný RF signál rozdělen na dvě části, z čehož první část je po zesílení poslána do směšovače DPMM, kde je smíšena s LO signálem a demodulována. Tento demodulovaný signál je následně využit lock-in zesilovačem k získání amplitudového a fázového dC/dV signálu. Druhá část je poslána do VNA k získání hodnoty kapacity, viz Obr. 15 0.

V případě, že systém není pro měření koncentrace dopantů kalibrován, jsou viditelné pouze změny koncentrace bez směrodatných hodnot.

4. Experimentální měření

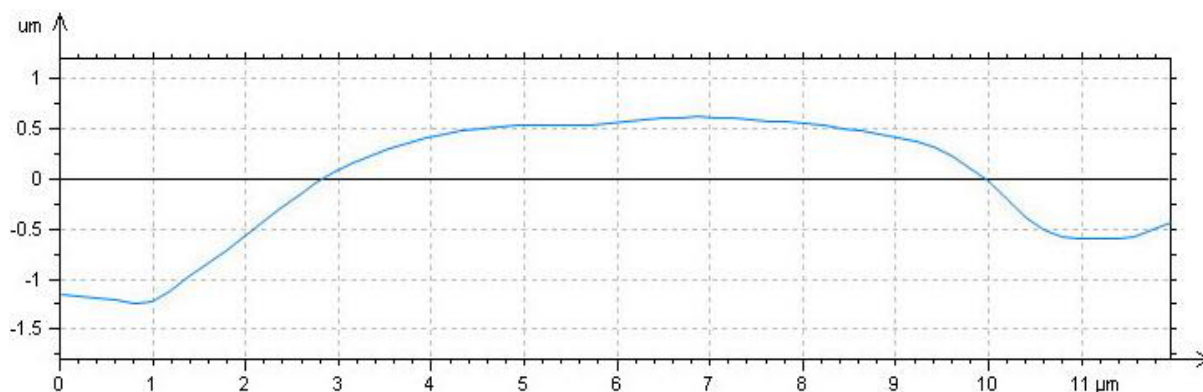
Na základě požadavků výrobce byla studována polovodičová struktura integrovaná na křemíkovém substrátu, jednalo se o bipolární tranzistory typu PNP.



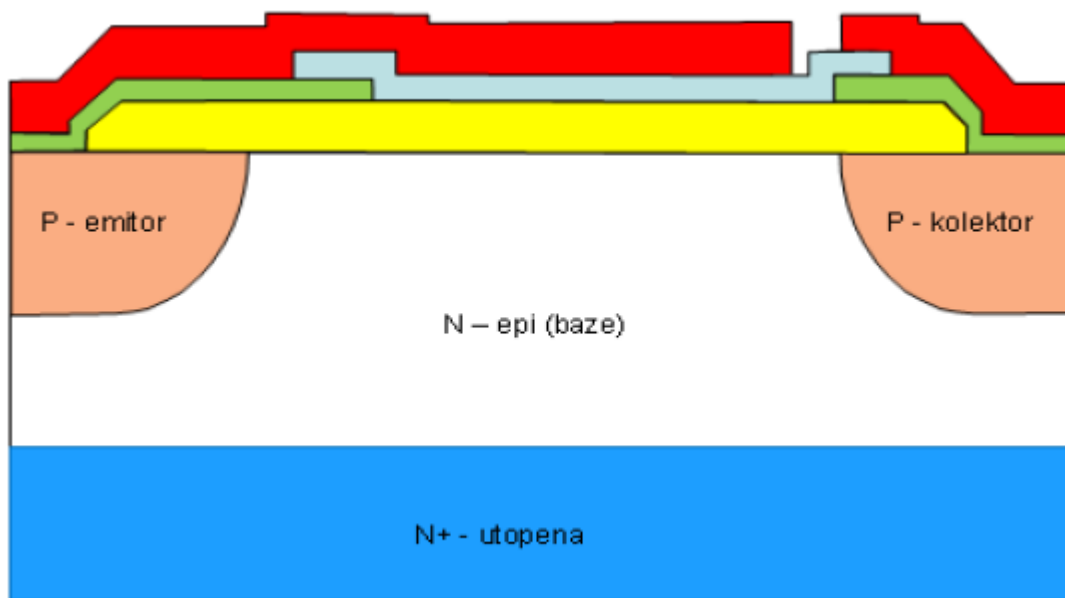
Obr. 16 Znárodnění naměřené oblasti na snímku z optického mikroskopu (vlevo) a výsledného AFM topografického snímku (bipolární tranzistor PNP).

Je zobrazen snímek z optického mikroskopu při zvětšení 22,4x, na témže obrázku vpravo je zvýrazněna měřená oblast zobrazená v topografickém režimu AFM. Orientační měřítko u optického snímku bylo odvozeno od přiloženého objektivového mikrometru firmy L.E.T. optomechanika. Na topografickém zobrazení lze pozorovat kolektor, který je tvořen kruhem nacházejícím se okolo emitoru. Báze na zobrazení není vidět, protože je v epitaxní vrstvě pod povrchem. Kosočtverce mezi jednotlivými kolektorovými kruhy jsou vývody emitoru.

Z topografického zobrazení byl extrahován profil z poloviny emitoru do poloviny kolektoru a ten byl porovnán s teoretickým schematickým průřezem bipolárního PNP tranzistoru.



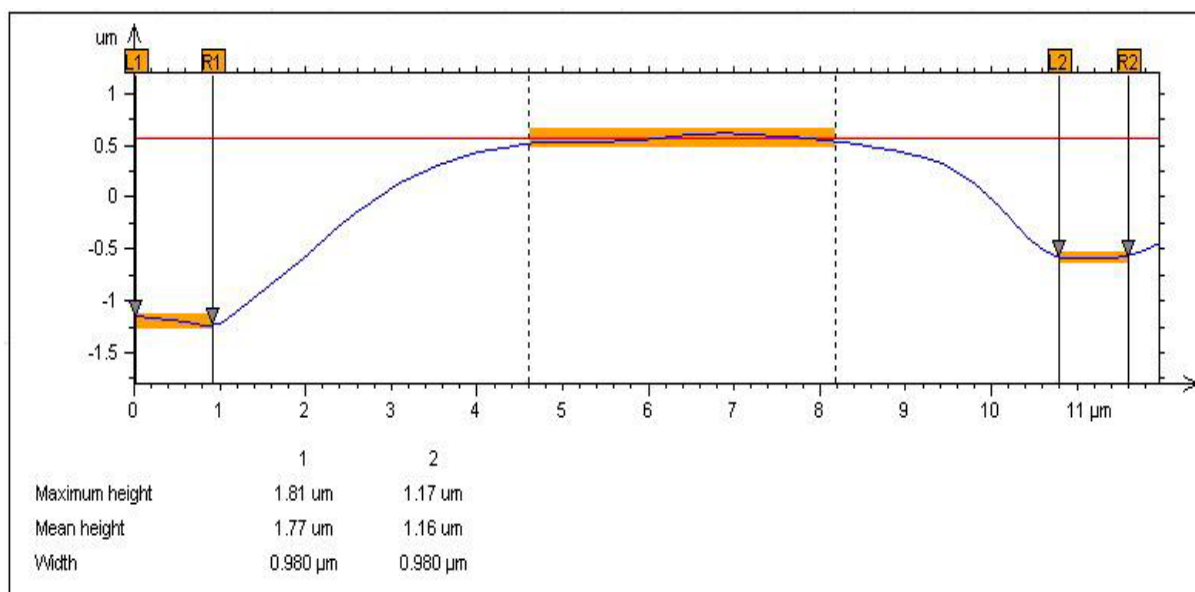
Obr. 17 Extrahovaný profil z poloviny emitoru do poloviny kolektoru



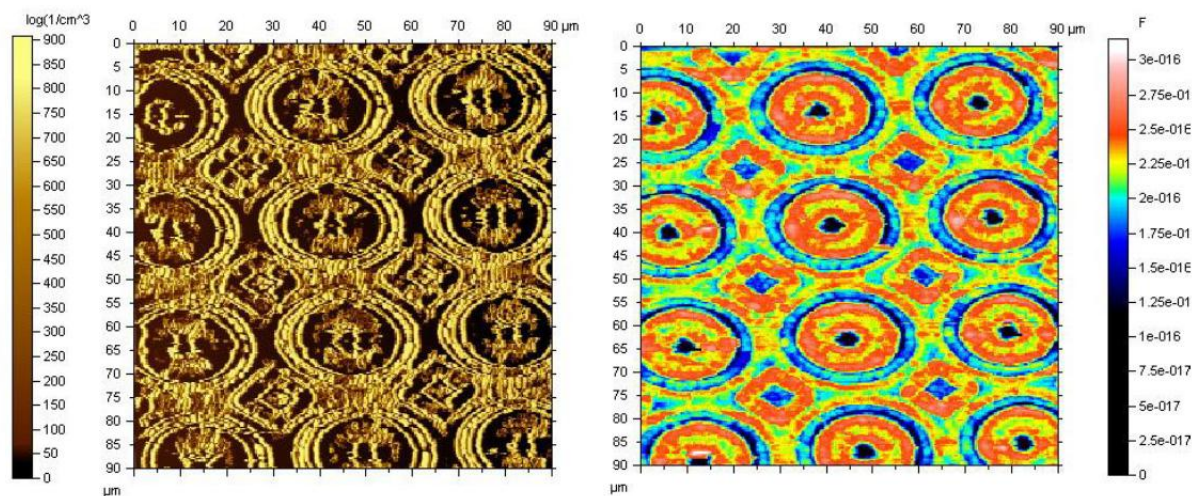
Obr. 18 Schematický průřez PNP tranzistorem

Jak vyplývá z uvedených obrázků (Obr. 7 a Obr. 8) extrahovaný profil přibližně odpovídá obecnému schématu.

Posléze byly změřeny hloubky prohlubní v oblasti emitoru a kolektoru oproti základní hladině. Hloubka prohlubně v oblasti emitoru činí 1,77 μm , hloubka prohlubně v oblasti kolektoru činí 1,16 μm .



Obr. 19 Měření velikostí prohlubní v oblasti emitoru a kolektoru



Obr. 20 Vizualizace koncentrace dopantů (vlevo) a kapacitance

Na Obr. 10 jsou zobrazeny koncentrace dopantů a hodnoty naměřené kapacitance, kde lze pozorovat oblasti s různým rozložením hodnot přibližně odpovídající topografické struktuře. Pro jejich správné zobrazení je nutné provést před každým měřením kalibraci koncentrace dopantů či kapacitance. Proto je nezbytné mít vhodný standard – u kapacitance to jsou většinou zlaté (Au) čepičky na schodovitých vrstvách oxidu křemičitého (SiO_2) na křemíkové (Si) podložce. My jsme žádné kalibrační standardy neměli k dispozici, tudíž uvedené výsledky se dají použít pouze pro relativní měření či porovnání.

5. Závěr

Dosažené výsledky potvrdily potenciál měřicího systému Agilent 5420 SPM, mikroskopie atomárních sil a skenovací mikrovlnné mikroskopie. Je patrné, že jejich vypovídací hodnota je mnohem vyšší, než u snímků z optického mikroskopu. Výhodou je zejména možnost paralelního pořizování více signálů, čímž jsou získány komplexnější informace o zkoumaném vzorku. Vedle topografických informací systém totiž umožňuje souběžně měřit i fyzikální vlastnosti jako jsou kapacitance nebo koncentrace dopantů.

Při porovnávání profilu extrahovaného z topografického zobrazení s teoretickým schematickým průřezem bipolárního PNP tranzistoru bylo zjištěno, že naměřená data odpovídají schématu.

Při měření byl použit mikroskopický systém Agilent 5420 SPM v kombinaci s vektorovým analyzátozem Agilent PNA N5230A.

Poděkování

Tato práce byla podpořena projektem CEBIA-Tech č. CZ.1.05/2.1.00/03.0089.

Literatura

- [1] GRIBBIN, John and Mary. Richard Feynman: a life in science. 1st Plume printing. New York: Plume. ISBN 04-522-7631-4.
 - [2] TANIGUCHI, Norio (1974). "On the Basic Concept of 'Nano-Technology'". Proceedings of the International Conference on Production Engineering, Tokyo, 1974, Part II (Japan Society of Precision Engineering).
 - [3] BINNING G., ROHRER H., GERBER C., a WEIBEL E., "Surface studies by scanning tunneling microscopy," Phys. Rev. Lett., vol. 49, no. 1, pp. 57–61, Jul 1982.
 - [4] AGILENT TECHNOLOGIES. 5420 Scanning Probe Microscope: Users guide [online]. USA, 2012 [cit. 2013-02-05]. Rev D. Dostupné z: http://nano.tm.agilent.com/PDFs/5420_User_Guide_Revision_D.pdf
 - [5] HAUGSTAD, Greg. Atomic force microscopy: understanding basic modes and advanced applications. Hoboken, N.J.: John Wiley, c2012, xxii, 464 p. ISBN 978-047-0638-828.
 - [6] AGILENT TECHNOLOGIES. *Understanding the Fundamental Principles of Vector Network Analysis: Application Note*. USA, 2010
 - [7] AGILENT TECHNOLOGIES. *Network Analyzer Basics* [online]. USA, 2004 [cit. 2013-04-20]. Dostupné z: <http://cp.literature.agilent.com/litweb/pdf/5965-7917E.pdf>
 - [8] HAN, Wenhai. AGILENT TECHNOLOGIES. *Introduction to Scanning Microwave Microscopy Mode: Application Note* [online]. Rev C. USA, 2009 [cit. 2013-03-15]. Dostupné z: <http://cp.literature.agilent.com/litweb/pdf/5989-8881EN.pdf>
- WU, Shijie a Theresa HOPSON. AGILENT TECHNOLOGIES. *SMM Imaging of Dopant Structures of Semiconductor Devices: Application Note* [online]. USA, 2012 [cit. 2013-03-15]. Dostupné z: <http://cp.literature.agilent.com/litweb/pdf/5991-0562EN.pdf>

ZÁKLADNÍ AKTIVNÍ TROJPÓLY V ELEKTRONICE

Josef Punčochář

Katedra elektrotechniky, FEI, VŠB – TU Ostrava

17. listopadu 15, 708 33 Ostrava - Poruba

josef.puncochar@vsb.cz

Abstrakt:

V článku je popisována jednoduchá metodika, která objasňuje signálové modely bipolárních a unipolárních tranzistorů. Metodika byla vytvořena pro studenty bakalářských studijních oborů, ale je i výchozím bodem pro studenty magisterských studijních oborů. Takový přístup umožňuje významnou redukci času, který je nutný pro zvládnutí problematiky.

1. Úvod

I v dnešní době je nutné zpracovávat (předzpracovávat) analogové signály. I integrované obvody jsou složeny z tranzistorů. Proto je užitečné dobře ovládat základy analýzy lineárních elektronických obvodů. Vzhledem k tomu, že množství poznatků neustále narůstá, je vhodné používat takovou metodiku, která umožní získat s menší časovou dotací větší objem vědomostí. Tato skutečnost je známa již dlouhou dobu a diskutuje se i v současnosti, viz např. [1, 2, 3, 4, 5, 6, 7].

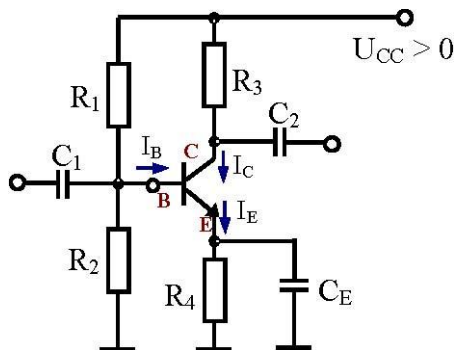
V práci bude popsána metodika tvorby signálových modelů bipolárních tranzistorů a unipolárních tranzistorů. Bude demonstrováno, že stejnou metodiku lze použít i pro triodu – historicky první elektronický prvek, který umožnil rozvoj teorie zpětné vazby. Správné pochopení signálového chování základních aktivních trojpólů je nezbytné i pro pochopení moderních zesilovacích struktur, které jsou na základě bipolárních a unipolárních tranzistorů konstruovány.

Pro bakalářskou úroveň jsou voleny modely nejjednodušší (ale správné) – problematiku by mohl bez větších problémů zvládnout i student střední školy. Pro magisterskou úroveň lze dospět na základě stejných východisek k modelům maticovým, případně k modelům nulorovým či grafovým (grafy signálových toků). V postgraduálním studiu je vhodné seznámit se podrobněji s grafy signálových toků.

2. Základní statické modely trojpólů

U aktivního diskretního trojpólu je správné nastavení pracovního bodu neopominutelným úkolem. Pracovní bod se zjišťuje (realizuje) z fyzikálních vlastností příslušného trojpólu, které jsou prakticky vždy definovány pomocí nelineárních matematických modelů. Ve stanoveném pracovním bodě se pak stanovují vlastnosti pro malé signálové změny v okolí pracovního bodu – linearizované (lineární) modely trojpólu. Problém nastavení pracovního bodu je řešen např. v [8, 9, 10], ale i jinde – nebudeme se jím zde podrobněji zabývat.

Na obr. 1 je základní zapojení bipolárního tranzistoru NPN (přechod báze – emitor musí být polarizován v propustném směru, přechod báze – kolektor v závěrném směru; stejná tvrzení platí i pro tranzistor typu PNP).



Obr. 1 Zapojení tranzistoru se společným emitorem (SE)

Pro popis napětí a proudů bipolárních tranzistorů jsou používány běžné symboly. Základní soubor statických vztahů je [11, 12]:

$$\begin{aligned}
 I_E &= I_{E0} \cdot \exp(U_{BE}/U_T) \cdot (1 + U_{CE}/U_A) \\
 I_B &= I_C / \beta \\
 I_E &= I_C + I_B = I_C \cdot (1 + 1/\beta) \\
 I_C &= I_E \cdot \beta / (\beta + 1)
 \end{aligned}
 \tag{1}$$

kde

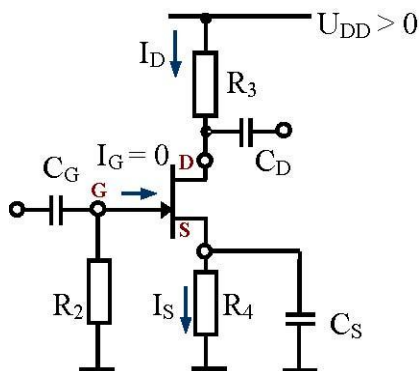
I_{E0} – je konstrukční konstanta tranzistoru (saturační proud),

U_T – je teplotní napětí (asi 26 mV při pokojové teplotě),

U_A – je Earlyho napětí (souvisí se změnou šířky báze při změnách napětí báze – kolektor, tedy i kolektor – emitor),

β – je proudový zesilovací činitel.

Základní zapojení tranzistoru FE se zabudovaným kanálem typu N (JFET) je na obr. 2 (obecně musí být pro FE tranzistory takové napětí mezi hradlem G a vývodem S, aby mezi D a S existoval vodivý kanál, jehož vlastnosti jsou změnami napětí U_{GS} řízeny).



Obr. 2 Zapojení JFETu se společným vývodem S (SS)

Pro popis napětí a proudů FE tranzistorů jsou opět používány běžné symboly. Základní soubor statických vztahů (pro všechny typy FE tranzistorů) v tzv. saturační oblasti (nezaměňovat se saturací bipolárních tranzistorů) je [11, 12]:

$$\begin{aligned} I_D = I_S = K \cdot (U_{GS} - U_P)^2 \cdot (1 + U_{DS}/U_A) \\ I_G \rightarrow 0 \end{aligned} \quad (2)$$

kde

K – je konstrukční konstanta tranzistoru,

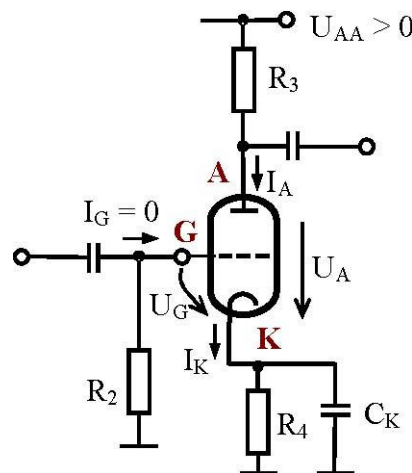
U_P – je prahové napětí,

U_A – je Earlyho napětí (zde souvisí se změnou délky vodivého kanálu při změnách napětí mezi vývody D a S).

Pokud máme FE tranzistor se zabudovaným kanálem, definuje se parametr I_{DSS} – saturační proud, to je proud I_D při $U_{GS} = 0$. Z rovnice (2) snadno určíme, že při splnění uvedené podmínky platí za předpokladu $U_{DS}/U_A \ll 1$, že $K = I_{DSS}/U_P^2$. Obdržíme tak známou podobu vztahu (2):

$$\begin{aligned} I_D = I_S = I_{DSS} \cdot (1 - U_{GS}/U_P)^2 \cdot (1 + U_{DS}/U_A) \\ I_G \rightarrow 0 \end{aligned} \quad (2a)$$

Historicky prvním aktivním elektronickým prvkem byla trioda. Snadno ukážeme, že i na ni lze aplikovat všechny moderní analytické algoritmy, což je z metodického hlediska důležité. Navíc je škoda nepopsat zesilující trojpól založený na „nepolovodičovém“ vedení proudu – na vedení proudu elektrony ve vakuu. I v dnešní době nalézají elektronky využití. Základní zapojení triody je na obr. 3. Záporné pracovní napětí pro mřížku G je vytvořeno napětím na odporu R_4 – to je stejné jako u JFETu s kanálem typu N.



Obr. 3 Zapojení triody se společným vývodem K

Základní soubor statických vztahů je [13, 14, 15]:

$$I_A = K \cdot (U_G + U_A/\mu)^{3/2} = K \cdot (U_G + D \cdot U_A)^{3/2} \quad (3)$$

$$I_G \rightarrow 0$$

kde

μ – koeficient zesílení a $D = 1/\mu$ je tzv. průnik.

K – konstanta daná konstrukcí triody.

3. Malosignálové parametry trojpolů

Při aplikaci uvedených trojpolů lze vyšetřit malé signálové změny v okolí nastaveného pracovního bodu. Největší význam má vyšetření změn proudu I_C (I_D , I_A) na změně napětí U_{BE} (U_{GS} , U_G). Určíme tak *transkonduktanci*.

Pro bipolární tranzistor určíme ze souboru vztahů (1), že

$$g_e = \frac{\partial I_E}{\partial U_{BE}} = \dots = I_{E0} \cdot \frac{e^{(U_{BE}/U_T)}}{U_T} \cdot (1 + U_{CE}/U_A) =$$

$$= |e^{(U_{BE}/U_T)}| \gg 1 \cong I_E / U_T \quad (4)$$

kde I_E je pracovní proud tranzistoru.

Pro FE tranzistory určíme ze souboru vztahů (2), že

$$g_m = \frac{\partial I_D}{\partial U_{GS}} = K \cdot 2 \cdot (U_{GS} - U_P) \cdot (1 + U_{DS}/U_A) =$$

$$= \dots = 2 \cdot I_D / (U_{GS} - U_P) \quad (5)$$

kde I_D je pracovní proud tranzistoru a U_{GS} je pracovní napětí.

Pro triodu výrobci v katalogu vždy uvádějí doporučený pracovní bod (napájecí napětí, R_3 , R_4) a také strmost S (transkonduktanci). I zde však můžeme určit ze vztahů (3), že

$$S = \frac{\partial I_A}{\partial U_G} = K \cdot \frac{3}{2} \cdot (U_G + D \cdot U_A)^{1/2} = \frac{3K \cdot (U_G + D \cdot U_A)^{3/2}}{2 \cdot (U_G + D \cdot U_A)} =$$

$$= \frac{3}{1} \cdot \frac{I_A}{(U_G + D \cdot U_A)} \quad (6)$$

kde I_A je pracovní proud triody, U_A je anodové napětí a U_G je pracovní napětí mřížky.

Je zřejmé, že malé signálové změny napětí U_{BE} (U_{GS} , U_G) vyvolají malé signálové změny příslušných proudů – a tyto změny jsou v dobré shodě s původními (nelineárními) rovnicemi – získáváme linearizované transkonduktance (strmosti) trojpólů (v daném pracovním bodě).

Ze vztahů (1), (2) a (3) je ovšem zřejmé, že proud I_C (I_D , I_A) je rovněž funkcí napětí U_{CE} (U_{DS} , U_A). Tato závislost již není dominantní, ale snadno ji můžeme zjistit – určit malosignálové vodivosti g_{CE} (g_{DS} , G_i) mezi vývody C – E bipolárního tranzistoru (D – S tranzistoru FE, A – K triody), stejně jako tomu bylo u transkonduktance:

$$g_{CE} = \frac{\partial I_C}{\partial U_{CE}} = \frac{\beta}{\beta + 1} \cdot \frac{\partial I_E}{\partial U_{CE}} = \frac{\beta \cdot I_{E0} \cdot (e^{(U_{BE}/U_T)} - 1)}{(\beta + 1) \cdot U_A} = \frac{I_C}{U_A} \quad (7)$$

kde I_C je pracovní proud bipolárního tranzistoru;

$$g_{DS} = \frac{\partial I_D}{\partial U_{DS}} = K \cdot (U_{GS} - U_P)^2 \cdot \frac{1}{U_A} = \frac{I_D}{U_A} \quad (8)$$

kde I_D je pracovní proud tranzistoru FE;

$$\begin{aligned} G_i &= \frac{\partial I_A}{\partial U_A} = K \cdot \frac{3}{2} \cdot (U_G + D \cdot U_A)^{1/2} \cdot D = \\ &= \frac{3K \cdot (U_G + D \cdot U_A)^{3/2}}{2(U_G + D \cdot U_A)} \cdot D = \frac{3 \cdot D \cdot I_A}{2 \cdot (U_G + D \cdot U_A)} \end{aligned} \quad (9)$$

kde I_A je pracovní proud triody a U_G je pracovní napětí mřížky.

Pro tranzistory FE a triodu většinou předpokládáme, že vstupní proudy (hradla, mřížky) jsou prakticky zanedbatelné – vstupní odpor je nekonečný. Pro bipolární tranzistor můžeme stanovit i vstupní vodivost g_{BE} (mezi bází a emitorem):

$$\begin{aligned} g_{BE} &= \frac{\partial I_B}{\partial U_{BE}} = \frac{\partial}{\partial U_{BE}} \left(\frac{I_C}{\beta} \right) = \frac{\partial}{\partial U_{BE}} \left(\frac{I_E \cdot \beta / (\beta + 1)}{\beta} \right) = \\ &= \frac{\partial I_E / \partial U_{BE}}{\beta + 1} = \frac{g_e}{\beta + 1} \end{aligned} \quad (10)$$

4. Behaviorální model trojpólů

Je zřejmé, že malé signálové změny napětí (v daném pracovním bodě) vyvolají malé signálové změny proudů ve shodě s odvozenými parametry. Nahradíme-li diference „malými písmeny“ (označení signálové změny; $\partial X_k \rightarrow x_k$), obdržíme pro bipolární tranzistor snadno – vztahy (1) a (4) – že

$$i_E = g_e \cdot u_{BE}; \quad i_B = g_{BE} \cdot u_{BE} = u_{BE} \cdot g_e / (\beta + 1).$$

Poněkud složitější je to s kolektorovým proudem, jedna složka je „vyvolána“ základním tranzistorovým jevem, vztahy (1) a (4) - $i_E \cdot \beta/(\beta + 1)$, druhá složka Earlyho napětím (jevem), vztah (7) - $g_{CE} \cdot u_{CE}$. Signálový proud (celkový) kolektorem je potom určen součtem

$$i_C = (g_e \beta/(\beta + 1)) \cdot u_{BE} + g_{CE} \cdot u_{CE} \cdot$$

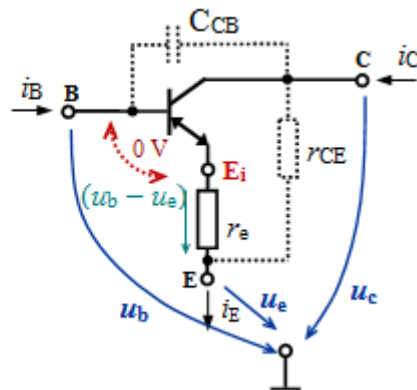
Pro bipolární tranzistor tak získáváme základní malosignálový soubor vztahů

$$\begin{aligned} i_E &= g_e \cdot u_{BE} = u_{BE}/r_e \\ i_B &= g_{BE} \cdot u_{BE} = \frac{g_e \cdot u_{BE}}{(\beta + 1)} = \frac{u_{BE}}{r_e \cdot (\beta + 1)} \\ i_C &= \frac{g_e \beta}{\beta + 1} \cdot u_{BE} + g_{CE} \cdot u_{CE} = \frac{u_{BE} \beta}{r_e \cdot (\beta + 1)} + \frac{u_{CE}}{r_{CE}} \end{aligned} \quad (11)$$

Protože se přednostně používá popisování obvodů pomocí odporů, použijeme běžné identity

$$r_e = \frac{1}{g_e} = \frac{U_T}{I_E}; \quad r_{CE} = \frac{1}{g_{CE}} = \frac{U_A}{I_C} \cdot$$

Zavedme si nyní ideální tranzistor, který má nulový úbytek (signálový) napětí mezi bází a interním emitorem E_i . Mezi interní emitorem (fyzicky nedostupný) a emitorem E tranzistoru je zapojena vodivost g_e , modelující základní tranzistorový děj – obr. 4. Z 2. Kirchhoffova zákona plyne $u_{BE} = u_b - u_e$ a snadno se přesvědčíme, že vztahy (11) jsou na obr. 4 splněny, předpokládáme – li (oprávněně), že $r_e \ll r_{CE}$.



Obr. 4 Signálový model bipolárních tranzistorů – model pro malé signálové změny v okolí pracovního bodu

Dominantní frekvenční degradace je způsobena kapacitou zavřeného přechodu kolektor – báze, proto může být model doplněn o kapacitu C_{CB} .

Stejný signálový model platí i pro tranzistory FE, stačí udělat substituci:

$$B \rightarrow G, E \rightarrow S, E_i \rightarrow S_i \text{ (interní S)}, r_e \rightarrow r_m = 1/g_m,$$

$$r_{CE} \rightarrow r_{DS} = 1/g_{DS} = U_A/I_D, C_{CB} \rightarrow C_{DG} \text{ (kapacita mezi D a G)},$$

$$i_G = 0 \text{ (ekvivalentní je formálně tvrzení, že } \beta \rightarrow \infty \text{)}.$$

Obdobně pro triodu děláme substituci:

$$B \rightarrow G, E \rightarrow K, E_i \rightarrow K_i \text{ (interní K)}, r_e \rightarrow r_k = 1/S,$$

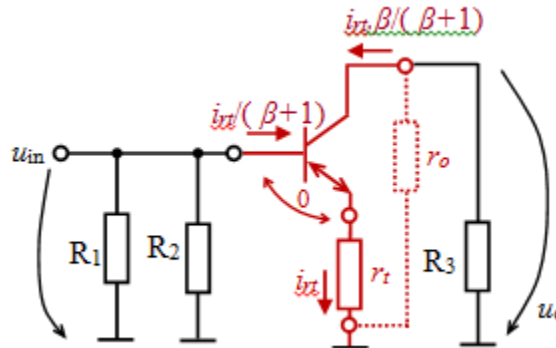
$$r_{CE} \rightarrow R_i = 1/G_i, C_{CB} \rightarrow C_{AG} \text{ (kapacita mezi A a G)},$$

$i_G = 0$ (ekvivalentní je opět formálně tvrzení, že $\beta \rightarrow \infty$). Snadno se nyní přesvědčíme, že pro triodu platí [13] známý Barkhausenův vztah

$$S \cdot R_i \cdot D \equiv S \cdot D/G_i = 1.$$

Všechna zapojení s trojčpóly – obr. 1, 2, 3 – nyní mají stejné signálové schéma (neuvažujeme kapacitu mezi vstupem a výstupem) – obr. 5 – a proto i naprosto stejnou metodiku řešení – viz např. [10]. Ekvivalence prvků modelu pro jednotlivé trojčpóly jsou shrnuty v tabulce 1. Vždy platí

$$i_{rt} = u_{in} / r_t.$$



Obr. 5 Malosignálový model struktur

Tab. 1. Ekvivalence prvků modelu na obr. 5 pro jednotlivé trojčpóly (U_A - zde Earlyho napětí)

Trojčpól	r_t	r_o	β
BIPOLAR. TRANZIST.	$r_e = \frac{1}{g_e} = \frac{U_T}{I_E}$	$r_{CE} = \frac{1}{g_{CE}} = \frac{U_A}{I_C}$	β
UNIPOLAR. TRANZIST.	$r_m = \frac{1}{g_m} = \frac{U_{GS} - U_P}{2 \cdot I_D}$	$r_{DS} = \frac{1}{g_{DS}} = \frac{U_A}{I_D}$	∞
TRIODA	$r_k = 1/S$	$R_i = 1/G_i$	∞

Rutinním využitím Kirchhoffových zákonů a Ohmova zákona zjistíme pro obecnou strukturu na obr. 5 (symbolem // vyznačujeme paralelní řazení):

$$\text{napět'ový přenos} \quad u_o/u_{in} = -(\beta/(\beta+1)) \cdot (r_o \parallel R_3)/r_t$$

$$\text{vstupní odpor} \quad R_{in} = R_1 \parallel R_2 \parallel (r_t \cdot (\beta+1))$$

výstupní odpor je vždy určen hodnotou r_o .

Diskuse získaných vztahů pro jednotlivé aktivní trojpóly již přesahuje cíle této práce. Vždy je vhodné připomínat, že malosignálové parametry jsou superponovány na „výchozí“ pracovní bod, že zesilování není nic jiného, než rozmítání pracovního bodu vstupním signálem – v našem případě vstupním napětím.

5. Závěr

Je demonstrována jednotná metodika pro řešení zesilovacích struktur s aktivními trojpóly. Popsaná úroveň vychází ze základních fyzikálních modelů trojpólů a je přijatelná pro studenty bakalářského studia i vyspělé studenty středních škol. Řadu praktických příkladů řešených touto metodikou lze nalézt např. v [10, 16]. Pomocí této metodiky lze dospět až k analýze principiální struktury operačního zesilovače. Tyto poznatky jsou aplikovány na FEI, VŠB – TU Ostrava, v předmětech bakalářského studia: Praktika z elektronických obvodů, Elektrické obvody II a Základní zesilovací struktury.

Na základě stejných fyzikálních vztahů se lze ovšem dopracovat i k dvojbranovým a obecným maticovým modelům trojpólů a k analýze obvodů pomocí admitančních modelů, např. [8, 9, 17]. Tato metodika je využita v předmětech magisterského studia Teorie lineárních obvodů (TELO) a Lineární obvody s elektronickými prvky (LOEP).

Od admitančních modelů lze dospět k analýze obvodů metodou signálových toků [17]. Některé části jsou využity v rámci magisterského studia, náročnější potom až ve studiu postgraduálním - Teorie elektronických obvodů (TEO).

Literatura

- [1] Paskusz, G., F. – Bussel, B.: Circuit Theory in a Unified Curriculum. IRE TRANSACTIONS ON EDUCATION, Sept. 1960, Issue 3, pp 84 – 88
- [2] Kesavan, H., K. – Myers, B. R.: System Theory in a Unified Curriculum. IRE TRANSACTIONS ON EDUCATION, Sept. 1961, Issue 3, pp 102 – 110
- [3] Lindsay, J., F. – Stefanovic, V. R.: Power Electronics in Electrical Engineering. IEEE TRANSACTIONS ON EDUCATION, VOL. E – 21, NO. 3, AUGUST 1978, pp 119 – 121
- [4] Kassakian, J. G. – Kirtley, J. L. – Schweppe, F. C. – Wilson, G. L.: Education for Tomorrow's Needs in the Electric Power Systems Engineering Profession. IEEE TRANSACTIONS ON EDUCATION, VOL. E – 21, NO. 3, AUGUST 1978, pp 101 – 105

- [5] Chunting Mi – Shen, J. – Ceccarelli, T.: Continuing Education in Power Electronics. IEEE TRANSACTIONS ON EDUCATION, VOL. 48, NO. 1, February 2005, pp 183 – 190
- [6] Hudson, T. A. – Goldman, M. – Sexton, S. M.: Using Behavioral Analysis to Improve Student Confidence With Analog Circuits. IEEE TRANSACTIONS ON EDUCATION, VOL. 51, NO. 3, AUGUST 2008, pp 370 – 377
- [7] Castro, M. – Sebastián, R. – Quaseda, J.: A System Theory Perspective of Electronics in Engineering Education. April 14-16, 2010, Madrid, SPAIN, IEEE EDUCON Education Engineering 2010 – The Future of Global Learning Engineering Education, pp 1829-1834
- [8] Punčochář J.: Lineární obvody s elektronickými prvky. VŠB - TU Ostrava, Ostrava 2002, ISBN 80-248-0040-3
- [9] Mohylová J.: Lineární obvody s elektronickými prvky (Sbírka příkladů). VŠB - TU Ostrava, Ostrava 2002, ISBN 80-248-0098-5
- [10] Mohylová, J. – Punčochář, J.: Elektrické obvody II. VŠB – TU Ostrava, Ostrava 2007 ISBN 978-80-248-1338-7
- [11] Dorf, R. C.: The Electrical Engineering Handbook, CRCnetBase. Chapman&Hall, CRC Press LLC, Florida, 1999
- [12] Sedra, A.S. – Smith, K.C. Microelectronic Circuits. Oxford University Press, Inc., 1998
- [13] Barkhausen, H.: Elektronen – Röhren. 1. Band: Allgemeine Grundlagen. VERLAG S. HIRZEL/LEPZIG 1931 (vierte vollständig umgearbeitete Auflage)
- [14] Pacák, M.: Fyzikální základy radiotechniky. Díl II. Vydal „RADIOAMATÉR“, časopis pro radiotechniku a obory příbuzné, 1946
- [15] Tribe, L.: The physics of elektrokinetic devices applying and adapting the Child-Langmuir Law derivation for vacuum diodes. <http://rimstar.org/>, 25.01.2011
- [16] Mohylová, J. – Punčochář, J.: Cvičení z Elektrických obvodů II. VŠB – TU Ostrava, Ostrava 2007, ISBN 978-80-248-1283-0
- [17] Punčochář, J.: Přiřazení grafů signálových toků zesilovacím strukturám pomocí admitančních modelů. elektrorevue, 23. 9. 2010, ISSN 1213-1539, www.elektrorevue.cz

APLIKACE HRADLOVÝCH POLÍ VÝVOJOVÝ KIT ZYNQ – 7000

Soběslav Valach
Marek Kváš

Ústav automatizace a měřicí techniky, FEKT, VUT v Brně
valach@feec.vutbr.cz

Abstrakt:

Článek se zaměřuje na současné trendy v oblasti programovatelných a konfigurovatelných struktur typu SoC v hradlových polích Xilinx řady Zynq včetně vývojových nástrojů a kitů.

1. Úvod

Nároky na zpracování informací a algoritmická složitost neustále roste. Tento trend je patrný nejen ve výpočetní technice, ale i u komerčních zařízení, která zpracovávají velké objemy dat pomocí složitých algoritmů. Převážně se jedná o zařízení zpracovávající video signál, datové a telekomunikační spoje, reálné časové řídicí systémy, medicínské aplikace a v neposlední řadě i komponenty pro automobily.

Zákazníci požadují vyšší výpočetní výkon a flexibilitu obvykle za srovnatelnou nebo nižší cenu oproti předcházejícím verzím systému. Alternativou mohou být systémy platformy SoC (System on Chip) implementované v hradlových polích typu FPGA.

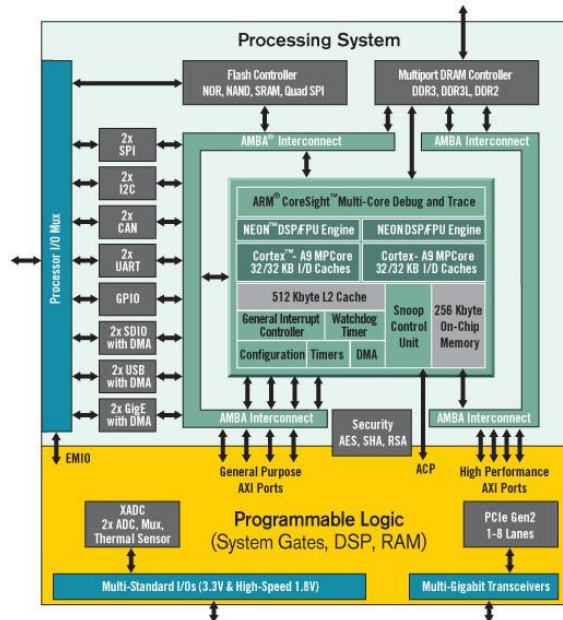
Evoluční vývoj struktur SoC postupně ukázal některé přístupy a řešení dané problematiky. První systémy byly obvykle konstruovány na bázi tzv. *soft-core* jader. To znamená, že veškerá funkcionálna je tvořena pomocí prostředků ve struktuře hradlového pole (propojovací síť, kombinační a sekvenční logika, vstupy a výstupy) bez další hardwarové podpory uvnitř FPGA. Takto koncipované řešení má celou řadu výhod, kdy je řešení plně v režii návrháře a obecně lze říci, že nedochází k plýtvání zdrojů v FPGA. Nevýhodou je, že vlastní řešení obvykle nedosahuje optimální pracovní rychlosti, sestavování výsledného designu je časově náročné a spotřebovává větší množství prostředků FPGA.

Druhým přístupem je doplnění struktury hradlového pole o další funkční bloky. V prvopočátcích se jednalo o blokové paměti, moduly zpracovávající hodinové signály (DCM, PLL) a DSP bloky. Modernější hradlová pole byla doplňována o složitější bloky, jako jsou PCI Express a paměťové řadiče, MAC bloky, rychlé transceivery a procesorová jádra. Tento koncept vyžadoval využití interních prostředků FPGA, kdy pro připojení procesoru k paměti byla spotřebována významná část zdrojů FPGA. Tento koncept byl v posledních letech nahrazen novým přístupem, kdy v FPGA nezávisle existují procesor a logická síť. Tento koncept je patrný v rodinách FPGA řady Zynq od společnosti Xilinx a SoC od společnosti Altera. Dnešní článek se bude věnovat pouze popisu platformy Zynq firmy Xilinx.

2. Popis platformy Zynq

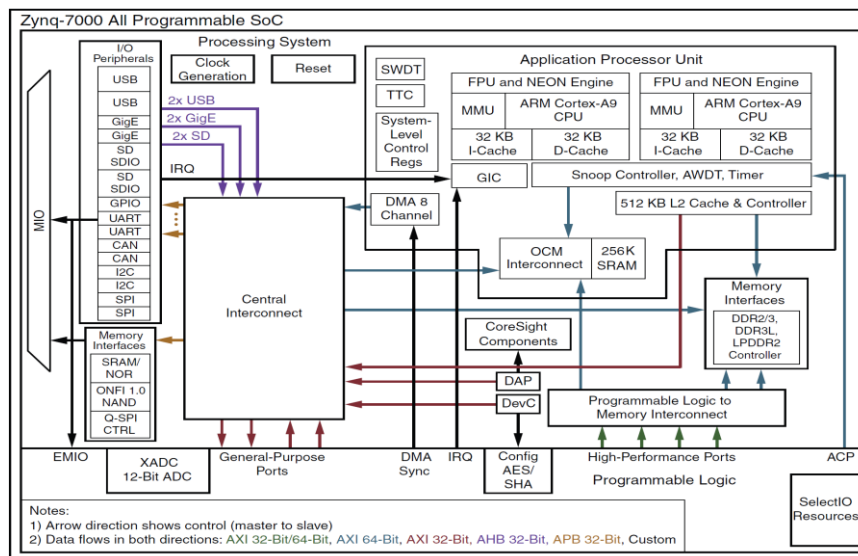
Základním stavebním prvkem obvodu Zynq je dvou jádrový procesor rodiny ARM Cortex A9 a hradlové pole řady Artix nebo Kintex. Procesor je vybaven vlastními periferními

zařizování od základních sériových rozhraní (I2C, SPI, CAN, USB) přes řadič paměti až po Gigabitový Ethernetový MAC. Maximální pracovní frekvence procesoru se pohybuje od 667 do 866MHz dle rychlostní třídy obvodu. Hradlové pole použité v SoC je pro řady Z-7010/15/20 Artix-7 a pro vyšší řady Z-7030/45/100 Kintex-7. Ekvivalentní počet hradel se pohybuje v rozsahu od 430 tisíc v nejmenším obvodu do 6,6 miliónů v nejvyšší radě. Samozřejmě je vybavené rychlými transceivery a rozhraním PCI Express ve verzi Gen 2 4x a 8x. V neposlední řadě stojí za zmínku i DSP bloky dosahující ekvivalentního výkonu od 100 do 2600 GMAC. Uspořádání platformy Zynq je na obrázku č. 1.



Obrázek 1: Blok schéma obvodu řady Zynq Xilinx

Důležité je upozornit na fakt, že piny obvodu jsou rozděleny na dvě hlavní skupiny. Do první skupiny patří vstup výstupní piny procesoru. Tyto piny nejsou přímo ovládané z FPGA. Druhá skupina pinů patří hradlovému poli, které jsou děleny na piny pro obecné použití a na piny pro rychlé signály. Obecné piny jsou určeny pro napěťové úrovně v rozsahu 1,2V až 3.3V a pracovní frekvence do 1Gbit/s. Piny pro rychlé signály jsou naopak určeny pro napěťové rozsahy od 1,2V do 1,8V a pracovní frekvence do 1,8Gbit/s.



Obrázek 2: Vnitřní uspořádání obvodu Zynq

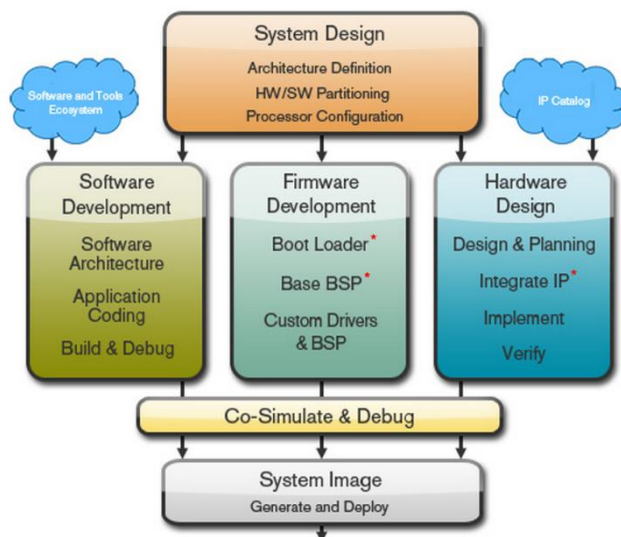
Vnitřní komunikace mezi procesorem a hradlovým polem je zajištěna pomocí více portového rozhraní sběrnice AMBA – AXI v 32 nebo 64 bitové verzi. Porty jsou rozděleny na porty s vysokou propustností (cca 2 400Mbyte/s), obecné porty pro GPIO (cca 1 200Mbyte/s) a port pro zajištění koherence datové paměti cache a akcelerátorů. Každý nezávislý port je vybaven asynchronním FIFem. Obrázek č.2 popisuje vnitřní propojení sběrnice.

Konfigurace obvodu probíhá v několika fázích za podpory procesoru. Tato koncepce přináší vyšší flexibilitu při konfiguraci obvodu. Uživatel si může vybrat z kterého rozhraní konfiguraci provede a kdy, zda bude šifrovaná či nikoliv. Obecně ke konfiguraci hradlového pole nemusí dojít nikdy. Z toho plynou i jisté nevýhody. Především se jedná o to, že část kritických systémů připojených k hradlovému poli může zůstat nějaký čas bez funkce a vše je závislé na softwarových řešeních.

3. Vývojové prostředky

Stručný úvod popsal hardwarové prostředky architektury Zynq. Komplexnost celého řešení klade vysoké nároky na softwarové vybavení. Je třeba si uvědomit, že neobsahujeme pouze procesor, ale celou infrastrukturu hradlového pole a periferních zařízení. Nezbytností pro rychlý a kvalitní vývoje jsou softwarové nástroje a balíčky. Pro procesor ARM je k dispozici ladící nástroj DS-5, zavaděč U-boot, operační systém Linux, Windows CE a široká podpora reálných systémů. Vývoj softwaru nemusí probíhat přímo v obvodu Zynq ale na virtualizovaných platformách emulující procesor Cortex A9.

Vývoj aplikací hradlového pole a jeho periferních zařízení primárně probíhá ve vývojovém prostředí Xilinx ISE a Vivado. Samozřejmostí je podpora široké škály IP funkcí (od řadičů paměti, uživatelských periferních zařízení až po zpracování vícerozměrných signálů), jazyka VHDL a Verilog. Nástroje disponují podporou pro částečnou dynamickou rekonfiguraci FPGA. Typický vývojový cyklus s platformou Zynq je ukázán na obrázku č. 3.



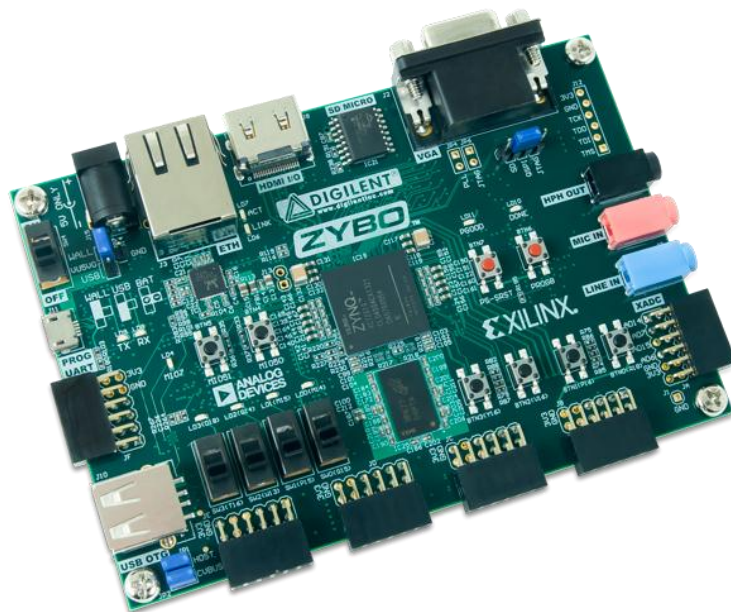
Obrázek 3 : Design flow při vývoji s obvodem Zynq

Poslední část článku je věnována vývojovým deskám určeným pro platformu Zynq. Cílem není popis platformy určených pro náročné aplikace, ale spíše popis modulů zaměřených na výuku a vývoj základních funkcí. První z modulů se nazývá „ZYBO Zynq™-7000 Development Board“ a je dostupný pro akademické použití za cenu nepřesahující 125 USD.

Vývojová deska ZYBO je vybavena obodem Zynq Z-7010 s dvou jádrovým procesorem Cortex-A9 pracujícím na frekvenci 650Mhz.

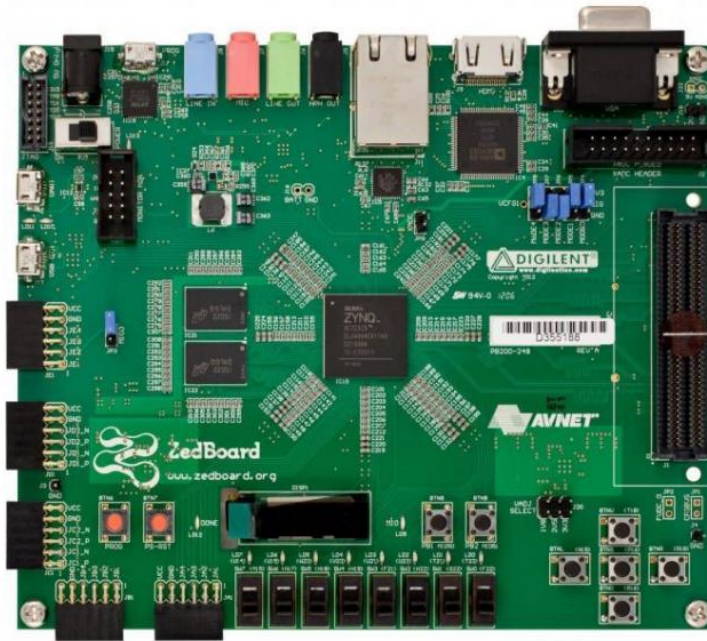
Modul je dále doplněn o následující periferie: paměť 512MB x32 DDR3, 1 x HDMI port, VGA port, Ethernet PHY 10/100/1000 Mbit/s, MicroSD slot, OTG USB 2.0 PHY, paměť EEPROM, audio kodek, paměť SPI 128Mb, GPIO a šest Pmod rozšiřujících konektorů.

K modulu ZYBO je k dispozici celá řada příkladů včetně operačního systému Linux pro dvoujádrový procesor Cortex A9 na SD kartě.



Obrázek 4 : Vývojový kit ZYBO

Druhým kitem je „ZedBoard Zynq™-7000 Development Board“ s větším obvodem Zynq-Z7020 a rozšířenou periferní sadou o SD kartu, UART, I/O rozšiřující FMC konektor umožňující připojit náročné periferie a 128 x 32 OLED display. K modulům je dostupná komunitní podpora, která zahrnuje referenční příklady a výukové tutoriály viz. internetový odkaz na stránky komunity - www.zedboard.org.



Obrázek 5 : Vývojový kit ZedBoard

4. Závěr

Platformy SoC kombinující procesor a hradlové pole nacházejí v posledních letech široké uplatnění v automobilovém průmyslu, medicíně, vojenské technice, ale i ve spotřebním zboží. V současné době existuje několik variant uspořádání architektury SoC obvykle s procesory PPC a ARM. V budoucnu jsou připravovány varianty s platformou Intel x86.

SYSTEMC – NÁSTROJE A PROSTŘEDÍ PRO NÁVRH SYSTÉMŮ NA ČIPECH MODERNÍCH ROZSÁHLÝCH HRADLOVÝCH POLÍ A POLÍ SE SMÍŠENÝMI SIGNÁLY

Karel Vlček

Ústav počítačových a komunikačních systémů, FAI, UTB ve Zlíně,
Nad Stráněmi 4511, 760 05 Zlín, Česká republika
vlcek@fai.utb.cz

Anotace:

Současní výrobci moderních aplikačně specifických integrovaných obvodů a hradlových polí nabízejí součástky, jejichž možnosti splňují požadavky pro implementaci elektronických systémů na čipu s extrémně velkým počtem logických hradel. Jejich počet na jednom křemíkovém čipu může převyšovat milion. Smysluplný obvod s takovým počtem stavebních součástí, který by byl životaschopný, je nutné navrhovat jako systém, ve kterém spolupracují specializované části. Jedná se tedy vždy o návrh systémů. To ale s sebou přináší novou strategii návrhu, zejména řešení součinnosti – synchronizace signálů – velkých celků číslicových obvodů.

Klíčová slova: Systémový návrh, VHDL, Verilog, SystemC – AMS, Register Transfer Language, MEMS, SoC, HW/SW Co-design, 3D design, IP, OOP, GALS.

1. Úvod

U méně rozsáhlých číslicových obvodů se předpokládá, že mají jeden společný zdroj synchronizace. Takto definovaný návrh obvodu je snadno popsatelný modelem VHDL (Very High Speed Integrated Circuits Hardware Description Language) nebo modelem v jazyce Verilog a je realizovatelný jako celek, který je synchronní. Naproti tomu návrh rozsáhlejšího obvodu je výhodnější provádět jako návrh systému. Při návrhu systému může být celý obvod rozdělen na několik synchronizačních domén. Velký počet součástí u rozsáhlých hradlových polí umožňuje, aby návrh byl přednostně zaměřen na několik spolupracujících obvodových bloků, ale často i dílčích systémů, sestavených ze vzájemně spolupracujících specializovaných celků.

Tento přístup je vhodný nejenom proto, že mohou být jednotlivé dílčí systémy modelovány a simulovány samostatně. Má to výhodné vlastnosti i pro samotnou činnost a spolehlivost zařízení, v němž je takový obvod, protože to snižuje nároky na špičkový proud odebíraný z napájecího zdroje. Pro návrh aplikačně specifického obvodu s velkým počtem součástí na úrovni elektronického systému jsou používány programové nástroje schopné řešit spolupráci obvodových celků v časové součinnosti a s odpovídajícím respektem k „dědičnosti“ dříve použitých a osvědčených obvodových, či systémových struktur (např. regulárních paměťových obvodů).

U návrhů byl dříve často používán návrhový prostředek s názvem RTL. Název jazyka bývá interpretován jako akronym názvu jazyka “Register Transfer Language”. Jazyk RTL byl zahrnut jako organická a standardizovaná součást jazyka VHDL. Tento účinný

prostředek na úrovni propojení signálů se osvědčil také jako návrhový a popisný nástroj při návrhu testů. Je však příliš podrobný a model popisovaný tímto způsobem je tedy velmi rozsáhlý a málo přehledný. Aby byla práce na návrhu nadále efektivní i pro moderní součástky, byl vytvořen a standardizován SystemC (Standard IEEE 1666-2005).

Kromě toho, že uvedený jazyk SystemC je sémanticky podobný jazykům pro popis hardware VHDL a Verilog, může být považován i za jejich syntaktickou nadstavbu. Navíc, má větší možnosti při zápisu výrazů a blíží se tak širší definici, která je vyžadována pro objektově orientované programování (OOP). Pro návrh smíšených (analogových i číslicových) programovatelných obvodů je určen SystemC AMS (Analog Mixed Signal), který navíc poskytuje prostředí pro simulaci dějů se smíšenými signály. Toto rozšíření bylo zahrnuto do standardu SystemC AMS LRM (Language Reference Manual) v roce 2010.

Aplikace moderních hradlových polí přináší významné změny v metodice, které se promítají jak do uspořádání návrhu, tak také do jeho implementace. Ta také respektuje specifické vlastnosti odolnosti proti šumu číslicových i analogových obvodů osazených na společném křemíkovém čipu. Nejnovější poznatky jsou v této metodice podpořeny standardizací. Tato podpora se týká jak vlastního návrhu, tak testování a spolehlivosti moderních aplikačně specifických integrovaných obvodů a hradlových polí.

Zdůvodnění všech těchto změn má svůj základ ve znalostech zpracování signálů i technologií moderních elektronických součástek. Problematika moderních hradlových polí přináší i překvapivé požadavky na podrobné znalosti a dovednosti v oblasti pouzder hradlových polí a jejich finálních montážních technik, zejména diagnostiky a testování a následně i spolehlivosti elektronických systémů.

2. Požadavky 3D techniky

Pro růst hustoty integrace elektronického systému se stává významným aspektem růst rychlosti komunikace mezi jeho jednotlivými částmi. To, co je příslibem při použití 3D techniky, totiž posun současné hranice Moorova zákona k vyšším počtům součástek integrovaných a smysluplně zapojených do jednoho systému, je právě spolupráce jeho jednotlivých (specializovaných) částí. Tato spolupráce je podmíněna rychlostí přenosu informace. Dalším neméně důležitým aspektem je ztrátový příkon stavebních součástek. Obě tyto základní vlastnosti jsou určovány použitou technologií výroby. Systémy na čipu (SoC) jsou z důvodu odolnosti proti rušení tvořeny převážně z číslicových obvodů.

Pro soudobé 3D obvody je požadován zpravidla více-jádrový číslicový výpočetní systém s odpovídající integrovanou pamětí, s připojením MEMS (Micro-Electrical Mechanical Systems), s rádio-elektronickými součástkami RF (Radio Frequency), ale také se sítovým připojením. Takový komplexní systém již nebude mít vlastnosti synchronního systému, bude nutné, aby byl složen z více synchronizačních domén. Při jejich propojení bude použito implementace většího počtu různých způsobů propojení dílčích částí systémů. Implementace sběrnicevého propojení na čipu má svá omezení, která mohou být v některých případech eliminována propojením na čipu pomocí sítové technologie. Také implementace připojení pamětí, generování adres, či přímý přístup do paměti musejí být náležitě provedeny. Větší náročnost na popis systému pomocí modelu se tedy projeví při specifikaci elektrických vlastností, a také při návrhu mechanického provedení 3D obvodu.

Protože se jedná o zpravidla technologicky odlišně vyrobené součástky, musejí být při jejich propojení respektovány impedance zdroje signálu (což bývá paradoxně vstup logického hradla) a impedance zátěže, která bývá realizována jako vstup programovatelné

součástky. Propojení obvodu v provedení 3D navíc obsahuje i tzv. propojky napříč křemíkem TSV (Through Silicon Vias), které je rovněž nutné zahrnout do optimalizace návrhu signálové cesty. Přesto je dosud spolehlivější a výrobně lépe zvládnutelné použití více čipů v jednom pouzdru, než implementace systému se součástkami typu MEMS, či RF na jednom čipu. Naproti tomu je integrace jednočipového systému s vlastnostmi AMS dána výhradně spolehlivostí, a cenou jejich implementace, proto bývá na společném čipu.

3. Přínos souběžného návrhu systémů

V současné době je souběžný návrh hardware a software běžně používán přinejmenším v organizacích, které se starají o návrh mikroprocesorových systémů. Zde se pečlivě rozlišuje, jak navrhovat rozhraní (interface) mezi mikroprocesorem, technickými prostředky systému a jeho programovým vybavením. Tato úloha je definována, vyvíjena a implementována na úrovni instrukčního souboru a dané architektury a je považována za úlohu souběžného návrhu.

Nicméně, tato situace je motivací pro další zlepšování a vyžaduje pozornost těch fází výzkumu, které současné metodiky souběžného návrhu již zjednodušují: vyhovují potřebám automatizace návrhu na systémové úrovni SDL (System Level Design), umožňují bezchybný vývoj elektronických systémů obsahujících mnoho milionů tranzistorů, mohou být spouštěny programy s milionem řádků zdrojového kódu a dokonce umožňují integraci ne pouze jednoho mikroprocesoru, ale mnoha mikroprocesorů na jednom čipu (System-on-Chip – SoC) včetně podpůrných obvodů a tak umožňují dokončení složitého návrhového procesu během požadovaných typických 18 – 24 měsíců.

Souběžná technika návrhu známá pod názvem HW/SW Co-design se pro dosažení úspěšného návrhu elektronického systému v současné době stala nutností. Podle stále platné předpovědi Gordona Moora se technický pokrok projevuje integrací zvyšujícího se počtu součástek na jednom čipu. HW/SW Co-design, tedy návrh hardware i software v souběžném procesu, používá stále více výrobců. Počet a rozsah aplikací neustále roste i v důležitých průmyslových odvětvích jakými jsou výroba automobilů, průmyslová automatizace, letectví, výroba mobilních přístrojů, či spotřební elektroniky i v dalších odvětvích.

Konec konců, naše budoucí očekávání poklesu technického pokroku poté, co nebude již Moorův zákon vykazovat dvojnásobný růst v průběhu každého dva a půl roku, bude souběžný návrh mít větší důležitost ze dvou důvodů: počet prodaných technických novinek nebude závislý ani tak na pokroku v oblasti technologické jako na kvalitě návrhu, kterým může být dosaženo lepších funkčních vlastností a na vyšší úrovni spolehlivosti systémů v dané technologii ve srovnání s výrobky konkurenčních výrobců.

Na druhé straně, zpomalení technického rozvoje může být způsobené tím, že návrh trvá déle, protože součástí souběžného návrhu musí být podrobná analýza. Tuto skutečnost ještě více komplikuje nutnost zajistit dostupnost kritických míst možného vzniku poruch při výrobě integrované verze navrhovaného systému. Výrobek, u kterého by nebylo možné vyzkoušet, zda má předpoklady plnit svoji funkci při provozu, pro který byl zkonstruován, by byl (jistě právem) neprodejný. Testovatelnost je základní vlastností, na kterou se bude zákazník ptát. Bude požadovat výrobek otestovaný, se zárukou spolehlivého provozu nejméně na dobu života součástky navržené pro danou aplikaci.

4. Příklad zápisu modelu

Jako příklad zápisu modelu byl zvolen obvod bloku prokladu (interleaver). Blok pro proklad symbolů zprávy je často součástí kodérů a dekodérů komunikačních obvodů používaných pro přenosy dat. Konkrétní provedení modelu provádí výpočet pro vyčíslení kvadratického permutačního polynomu. Díky parametrickému zápisu modelu je možné provádět výpočet pro více násobících konstant a dosahovat tak permutace bitů vektorů s různými délkami. V původním modelu VHDL jsou nastaveny celočíselné konstanty. Zde je délka binárního vektoru $N := 48$ a konstanty $f1 := 7$ a $f2 := 12$. Tyto hodnoty parametrů jsou v modelu SystemC nastavovány pomocí části modelu template, která je specifikována mimo zápis vlastního modelu bloku prokladu v první fázi kompilace modelu. Překlad z jazyka VHDL do jazyka SystemC, který je pro srovnání uvedený v následujících dvou souběžných sloupcích, vykazuje podobnosti, které není obtížné vysledovat:

VHDL	SystemC
<pre> library IEEE; use IEEE.STD_LOGIC_1164.ALL; use IEEE.NUMERIC_STD.ALL; entity CntInterleaver is generic (N : integer := 48; f1 : integer := 7; f2 : integer := 12); Port (Clk : in std_logic; Rst : in std_logic; CntStart : in std_logic_vector ((N - 1) downto 0); CntStartEnable : in std_logic; Din : in std_logic_vector ((N - 1) downto 0)); Interleaved : out std_logic_vector ((N - 1) downto 0); Deinterleaved : out std_logic_vector ((N - 1) downto 0)); end CntInterleaver; architecture Behavioral of CntInterleaver is signal cnt : unsigned ((N - 1) downto 0); begin cnt_Process : process(Clk, Rst) begin if Rst = '0' then cnt <= (others => '0'); elsif rising_edge(Clk) then if CntStartEnable = '1' then cnt <= unsigned(CntStart); else cnt <= cnt + 1; end if; end if; end process; interleaver_Process : process(Cnt) variable index : integer; begin for i in 0 to (N - 1) loop index := ((f1 * i) + f2 * (i * i)) mod N ; Interleaved(index) <= cnt(i); end loop; end process; deInterleaver_Process : process(Din) variable index : integer; begin for i in 0 to (N - 1) loop index := ((f1 * i) + f2 * (i * i)) mod N ; Deinterleaved(index) <= Din(i); end loop; end process; end Behavioral; #include<bitset> template<size_t N, size_t f1, size_t f2> classQPPInterleavingGenerator </pre>	<pre> { private: std::bitset<N>counter; std::bitset<N>interleavedPattern; private: voidIncrementBitset(std::bitset<N> &bitsetReference) { for (size_t i = 0; i < N; ++i) { if (bitsetReference[i] == 0) { bitsetReference[i] = 1; break; } bitsetReference[i] = 0; } } public: QPPInterleavingGenerator() : counter(0) { } QPPInterleavingGenerator(std::bit set<N>counterInit) : counter(counterInit) { } std::bitset<N>GetCounter() { returnthis->counter; } std::bitset<N>GetPatternAndIncrementCoun ter() { // interleavecounter to pattern int index = 0; for (int i = 0; i < (N - 1); ++i) { index = ((f1 * i) + (f2 * i * i)) % N; interleavedPattern[index] = counter[i]; } // incrementbitset this->IncrementBitset(counter); returnthis->interleavedPattern; } }; </pre>

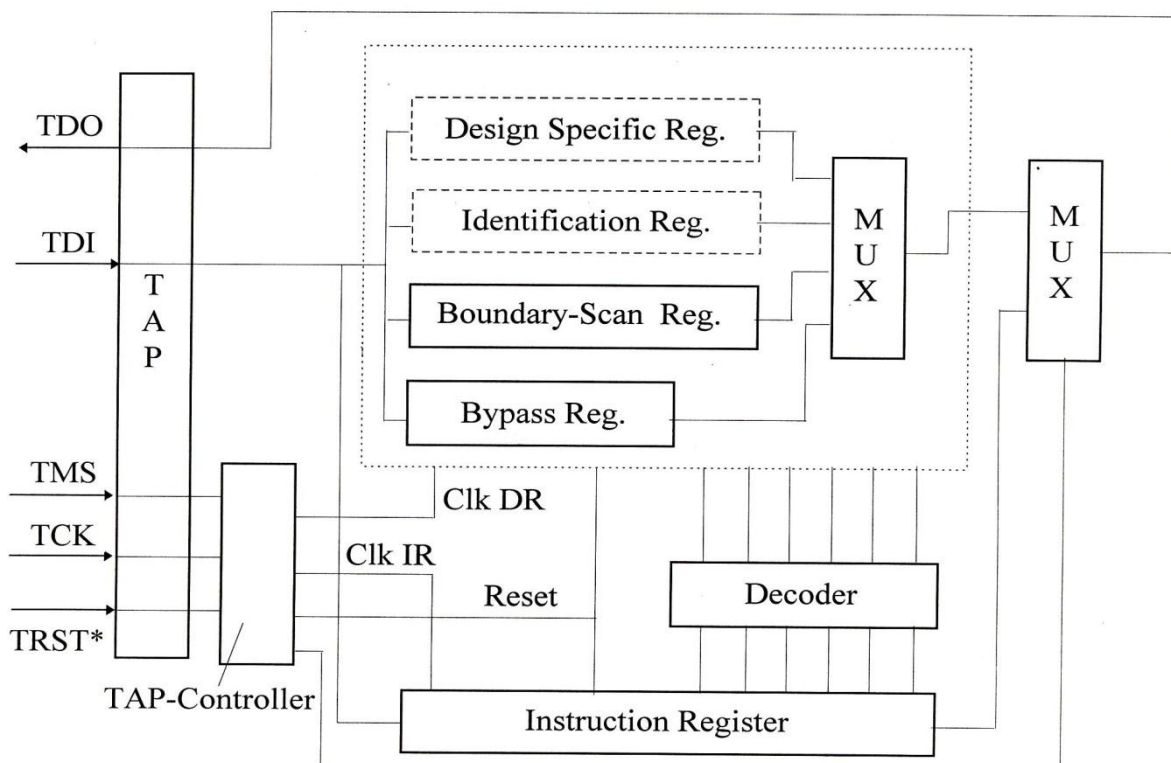
Při porovnání obou kódů, které představují kombinační obvod, je zřejmé, že zápis modelu v jazyce SystemC je shodný v řešeném algoritmu a přitom, na rozdíl od zápisu ve VHDL, vyhovuje podmínkám objektově orientovaného programování. Syntéza řešení obvodu je vytvářena po ověření vlastností modelu v jazyce SystemC. Je prováděna na základě vlastností částí systému, které vyhovují verifikaci funkce modelu a vyhovují i výslednému kódu při generování hardwarových struktur. Přitom se postupně zaznamenává syntetizovaný kód a tak vzniká popis s vlastnostmi TLM (Transaction Level Modeling). Za těchto předpokladů se dosahuje na základě tříd a maker C++ vlastností, které slouží pro řízení modelu událostmi. Zároveň je touto cestou umožněno i modelování souběžných (concurrent) činností. SystemC je podporovaný doporučením IEEE 1666-2005.

5. Dostupnost pro testování HW

Diagnostický proces je tím účinnější, čím více se při testování přiblížíme k místu vzniku poruchy v logické síti. To je hlavním důvodem toho, že při diagnostice 3D obvodů složitost testování narůstá. Narůstá zejména složitost přístupu k místu poruchy. Tato problematika je však řešena již standardem známým pod názvem „Boundary Scan“ a je standardizována jako doporučení IEEE 1149.1. Podobně jako aplikace testu pomocí tohoto doporučení na jednočipové řešení FPGA, je aplikace testů pro 3D programovatelné obvody řešitelná a podporovaná nástroji popsanými v tomto doporučení.

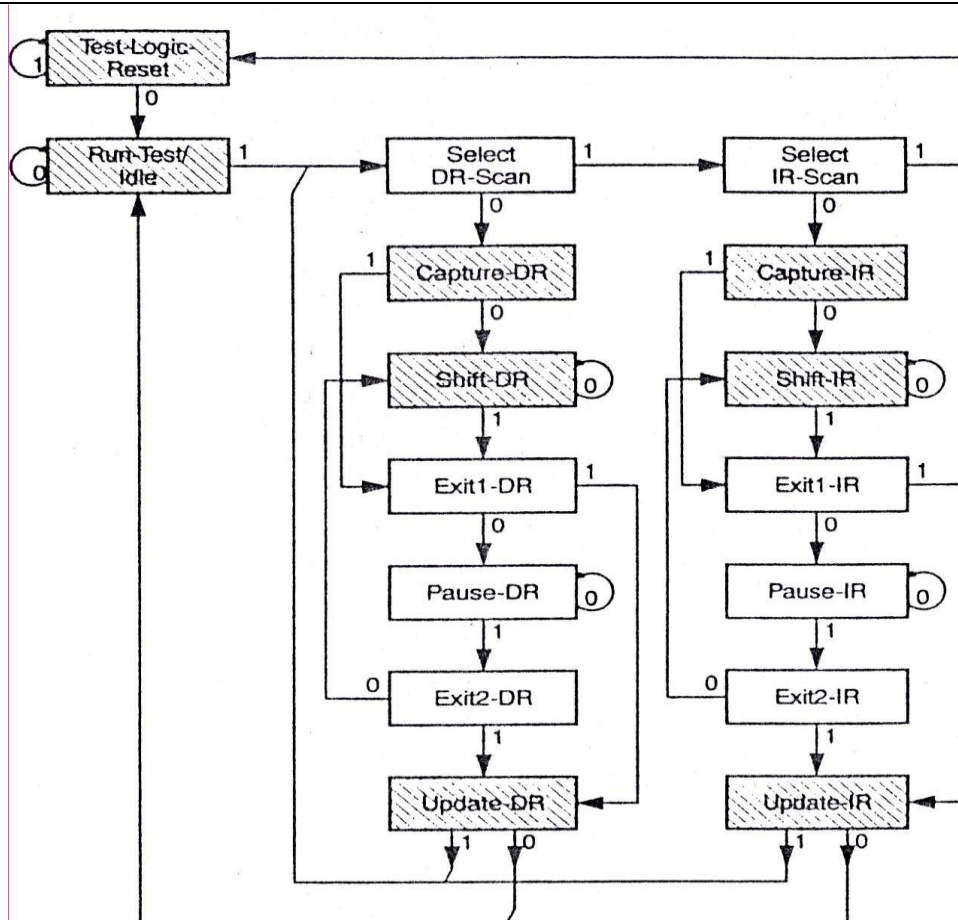
Standard IEEE 1149.1 popisující podpůrné technické prostředky (hardware) pro podporu testování byl akceptován v roce 1990 a rozšiřován v následujících čtyřech letech na další obvodové struktury. Jeho koncepce řešení diagnostických testů preferuje základní princip připojení pod názvem SISO (Serial Input Serial Output) s minimálními nároky na připojovací rozhraní pro integrované součástky a systémy. Jeho principy byly přijaty jako základní východisko pro snadnější testování číslicových obvodů a systémů.

Testovatelnost je podporována také tím, že řešení návrhu zákaznického obvodu nebo systému je doplněno o nezbytné obvodové řešení pro rozpojování testovaného systému na více jednodušších částí. Řízení testů je pro všechny části zajišťováno pouze čtyřmi signály: vstup dat TDI, výstup dat TDO, vstup signálu synchronizace testu TCK a řídicí signál „Test Mode Select“ – TMS. Pro zkrácení řídicích a datových sekvencí může být použit signál TRST*. V názvu je označen hvězdičkou (je nepovinný). K nastavení výchozího stavu totiž dochází po pěti periodách TCK při neaktivním TMS automaticky.



Obr. 3 Konfigurace podpůrných registrů pro testování ve vztahu k TAP rozhraní.

Průběh činnosti testovacích registrů jednotlivých částí systému je řízen konečným automatem podle blokového schéma. Řízení je identické při aktivaci jak instrukčního, tak i datových registrů. Výběr příslušného datového registru je dán obsahem instrukčního registru (jeho jménem, tedy vlastně adresou datového registru). Datové registry nastavují vstupy testovaných obvodů a zachycují jejich odezvy. Všechny registry mají funkci posuvných registrů, přivádění testovacích vektorů i odvádění odezev na testy z výstupů se děje sériovým posuvem. Pospojováním výstupů dat TDO a vstupů dat TDI je vytvořen řetězec, který prochází celým testovaným systémem. Řízení částí systémů při testu je přitom jednotné pro všechny části testovaného systému. Je zobrazeno na následujícím obrázku. U orientovaných úseček jsou uvedeny stavy TMS, při kterých dochází ke změně.



Obr. 4 Vývojový diagram činností řadiče rozhraní TAP pro „Boundary Scan Test“.

Uvedené uspořádání je akceptovatelné i pro 3D systémy včetně paměti fungujících v rámci 3D systému. Testování paměti může být prováděno pseudonáhodnými vektory a může být vyhodnocováno příznakovou analýzou. Všechny tyto techniky jsou slučitelné se standardem IEEE 1149.1. Testování analogových obvodů využívaných v rámci systémů AMS je prováděno podle stejných principů řízení testů, jako testování výhradně číslicových systémů.

6. Automatické generování testů pro SoC v prostředí SystemC

Popis pomocí nástrojů TLM je příhodný pro systémový návrh. Pro generování testů obvodů, kterými je systém diagnostikován, však je to méně příznivá situace. Návrh testů je výhodný při použití popisu modelu jazykem RTL. Kvůli značným rozdílům mezi popisem RTL a TLM je možnost použít přímého generování testu na základě TLM značně omezená. Rovněž převod testu vytvářeného v RTL do zápisu TLM s obdobným pokrytím poruch je nesnadným krokem, dokonce i v případě testu s náhodným generováním testovacích vektorů. Jestliže popis nástroji RTL má svůj základ v seznamu spojů jednotlivých funkčních bloků, úroveň popisu nástroji TLM představuje v každém případě přechod k vyšší úrovni abstrakce.

Návrhy SoC mohou být velmi komplexní. Modelování, verifikace a diagnostika na základě RTL se ale stávají neúměrně složitými postupy, jestliže uvažujeme, že nastávají změny v průběhu návrhu. Metodika popisu TLM, která je vlastní modelování v SystemC, je popisem nejvyšší úrovně abstrakce při návrhu. TLM vychází z předpokladů, podmínek a vlastností

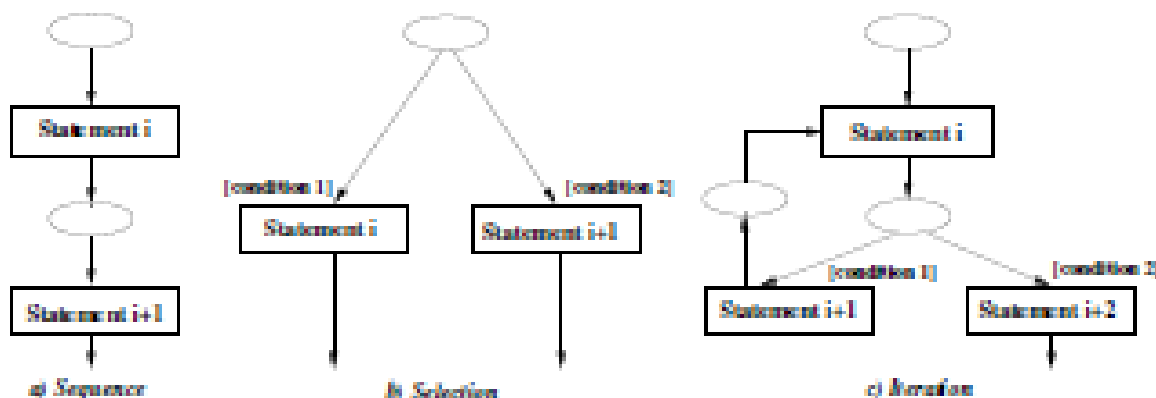
implementace dané technologie. Tento přístup přináší nejenom příslib zrychlení ověřování funkčních vlastností návrhu, ale i zjednodušení analýzy, která zatěžuje SoC.

Metodika převodu mezi TLM a RTL je v současné době intenzívně zkoumána, dosud však není jednoznačná shoda v tom, která metoda by přinášela jednoznačné výhody ve srovnání s ostatními. Pro takové posouzení je nutné vzít v úvahu tři důležité aspekty:

- Formální reprezentace TLM testu a jeho specifikace
- Dosahované diagnostické pokrytí testy generovanými z TLM a z RTL
- Převod TLM testů do podoby RTL testů použitím transformačních vztahů

Pro hodnocení metody generování testů je důležité zvolit přijatelnou metriku pro posouzení pokrytí výskytu poruch testem. Na základě této metriky je teprve možné definovat soubor pravidel, která budou přiřazovat přenos informace (v abstraktním pojetí „zprávy“) a posléze signály, u nichž již je možné použít času, jako nezávisle proměnné. Pro tento účel je použito například Petriho sítí tak, že každý příkazový řádek SystemC bude představovat přechod Petriho sítě a každé proměnné bude přiřazena proměnná této sítě.

Přechody mohou nastávat jenom tehdy, jsou-li splněny podmínky toho, že každý vstup má platný příznak (token). Je-li podmínka pro přechod provedena, je token rozesláno všem proměnným. Podle těchto pravidel mohou být vytvořeny tři základní konstrukce, tři modely se souběžnými aktivitami: posloupnost, větvení a iterace [1].



Obr. 5 Tři základní konstrukce: posloupnost, větvení a iterace popsané pomocí Petriho sítí

Uvedenou metodou popisu pomocí Petriho sítí je možné reprezentovat všechny příkazové řádky v modelu zapsaném v jazyce SystemC. Pomocí těchto základních modelů mohou být sestaveny i všechny složitější Petriho sítě, které popisují návrh systému. Přitom je důležité, že každý přechod může být zařazen podle hierarchie, kterou v modelu zaujímá. Kód v SystemC TLM je sestaven z modulů, rozhraní a kanálů, které jsou popisovány v souvislostech a mohou zachytit hierarchický vztah mezi těmito entitami.

Další vývoj v nejbližších pěti letech bude směřovat k čipům FPGA, které jsou sestavovány z mnoha obvodových bloků nazývaných Intellectual Properties (IP Blocks). Takové systémy jsou implementovány jako tzv. GALS (Globally Asynchronous Locally Synchronous). Budou zaujímat až 90% plochy navrženého SoC. Tyto IP Blocks budou komunikovat sdílenými sběrnicemi, ale jen tehdy, bude-li to možné z důvodu zabrané plochy čipu. (Rozměry sběrnice lze jen obtížně zmenšovat.) Z toho důvodu jsou stále častěji využívány komunikace prostřednictvím sítě na čipu (NoC). Jinou možnou cestou dalšího rozvoje mohou být rekonfigurovatelné systémy. Zde se ovšem předpokládá, že rekonfigurace bloků bude řídit nadřazený počítač a jeho operační systém.

7. Shrnutí

Studie zaměřená na systémový návrh realizovatelný jako obvod implementovaný rozsáhlým hradlovým polem se soustřeďuje na specifické vlastnosti návrhu komplexně koncipovaných výpočetních a řídicích systémů. Aspekty technologického charakteru, které se odvíjejí od technického řešení 3D obvodů, jsou řešeny současnými prostředky návrhu. Přitom je nastíněno řešení problematiky přenosu signálů a problematika diagnostikování na 3D čípech s využitím metody Boundary Scan. Techniky testování regulárních struktur pamětí, které vyžadují řádově vyšší počty testovacích vektorů, využívají pseudonáhodné generování testovacích vektorů i jejich vyhodnocování metodou příznakové analýzy na čipu bez nutnosti masivního přenosu informace přes rozhraní, kterým je test zadáván a realizován. Diskutovány jsou i obvody MEMS a RF, ze kterých bývá SoC kompletován.

Závěrečná poznámka je věnována velmi důležitému aspektu návrhu, kterým je automatické generování testů. Popis, ze kterého vychází systémový návrh, je možné označit jako popis s vysokým stupněm abstrakce. Je nanejvýš potřebné, aby pro syntézu navrhovaného systému vystupoval TLM jako východisko návrhu, kterým se dosahuje souběžné simulace procesů. Rozsah navrhovaného systému se tím zpřehlední a stane se pro návrháře souborem modelů, které jsou schopné spolu komunikovat. Existuje několik metod, které umožňují generování testů na základě popisu TLM a které mohou být převedeny do RTL úrovně. Žádný z těchto postupů však zatím nemá tak průkazné výhody, které by vedly jednoznačně ke standardizaci takového způsobu převodu, tím méně k jeho praktickému použití pro automatické generování testů.

Poděkování

Stat' byla zpracována v rámci Evropského regionálního fondu v projektu CEBIA-Tech No. CZ.1.05/2.1.00/03.0089. Autor vyjadřuje své díky Dr. Eriku Královi, který zpracoval programové modely v jazycích VHDL a SystemC tak, že jejich účinek na data je identický.

Literatura:

- [1] Chen M., Mishra P., Kalita D.: Towards RTL Test Generation from SystemC TLM Specifications, Intel Corp., (2007), <http://esl.cise.ufl.edu/Publications/hldvt07.pdf>
- [2] Jindal R., Jain K.: Verification of Transaction-Level SystemC models using RTL Test benches. *MEMOCODE*, 199–203, 2003.
- [3] Wang Z. and Ye Y.: The improvement for transaction level verification functional coverage. *ISCAS*, 5850–5853, 2005.
- [4] Bombieri N. et al.: Transactor-based Verification for Reusing TLM Assertion and Test benches at RTL. *DATE*, 1–6, 2006.
- [5] IEEE 1149.1 Working Group, <http://grouper.ieee.org/groups>.



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

MODERNIZACE VÝUKY ODBORNÝCH PŘEDMĚTŮ V OBLASTI ICT A ELEKTROTECHNIKY

Jiří Král

Střední škola informatiky, elektrotechniky a řemesel Rožnov pod Radhoštěm
jiri.kral@roznovskastredni.cz

Abstrakt:

Príspevek pojednává o přínosu realizace projektu CZ.1.07/1.1.38/01.0026 z Operačního programu Vzdělávání pro konkurenceschopnost pro modernizaci výuky odborných předmětů na Střední škole informatiky, elektrotechniky a řemesel Rožnov pod Radhoštěm.

1. Cíle projektu

Cílem projektu je vytvoření podmínek pro modernizaci výuky vybraných odborných předmětů ve třetím a čtvrtém ročníku.

Předměty, do kterých výsledky projektu zasahují, jsou:

1.1. Technika programovatelných obvodů (třetí a čtvrtý ročník)

Modul "Programování hradlových polí Altera", který byl připraven pro výuku ve třetím ročníku, seznamuje žáky se stavovými automaty. Výuka pak probíhá na platformě Altera, při použití hradlového pole Cyclone 2.

Pro čtvrtý ročník byl připraven modul "Programování mikrokontroléru ARM" seznamující žáky s technikou 32 bitových mikrokontrolérů, konkrétně ARM Cortex M3 na platformě Energy Micro.

1.2. Aplikace programovatelných obvodů (čtvrtý ročník)

Pro výuku ve čtvrtém ročníku byl připraven modul "Programování softcore procesoru NIOS". Ten je určen pro platformu Altera, v našem případě pak výuka bude probíhat na hradlovém poli Cyclone 4.

1.3. Mikroprocesorová technika (třetí ročník)

Modul "Programování i51 v jazyku C", ukáže žákům jak moderní programátorské postupy s využitím vyššího programovacího jazyka C, tak moderní 8 bitový mikrokontrolér. Tím je C8051F040 od firmy Silicon Labs.

1.4. Měření a diagnostika (třetí a čtvrtý ročník)

Ve třetím ročníku tohoto předmětu se žáci oboru EZI v rámci modulu "Aplikace moderní měřicí techniky" seznámí s použitím digitálního osciloskopu, spektrálního analyzátoru a dalších moderních přístrojů.

Modul "Softwarová diagnostika subsystemů PC" naučí žáky ve čtvrtém ročníku programovému přístupu k jednotlivým částem počítače třídy PC, především pak k tzv. Super I/O obvodu.

1.5. Elektronika a elektrotechnická měření (třetí ročník)

Obdobně se i žáci oboru EPS ve třetím ročníku seznámí s moderní měřicí technikou, tentokrát v rámci tohoto předmětu.

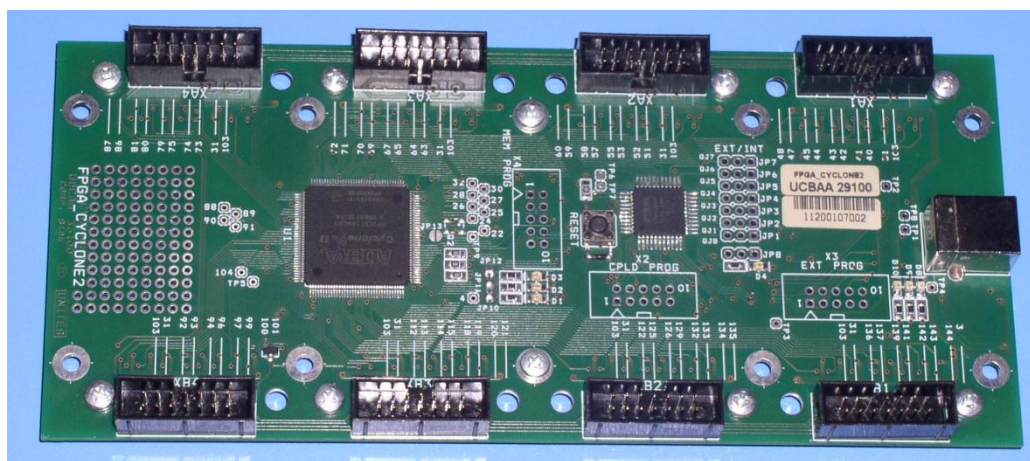
2. Výukové moduly

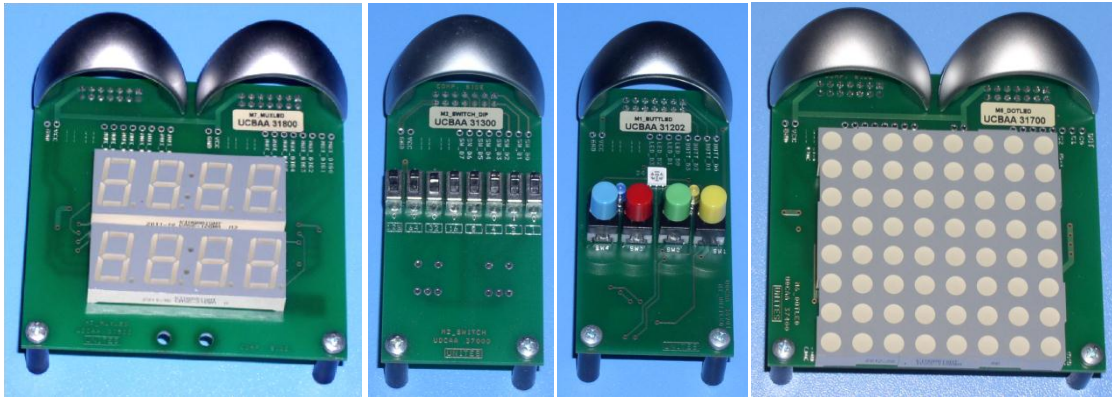
Při přípravě výukových modulů bylo třeba zajistit vyškolení pedagogů, připravit výukové materiály a úlohy. Školení pedagogů se týkalo nejen vlastních výukových modulů, ale proběhl i kurz intenzivní výuky jazyka C na úrovni, která přesahuje běžné středoškolské potřeby a dovednosti.

Nezbytné bylo také pořídit technické vybavení.

2.1. Programování hradlových polí Altera

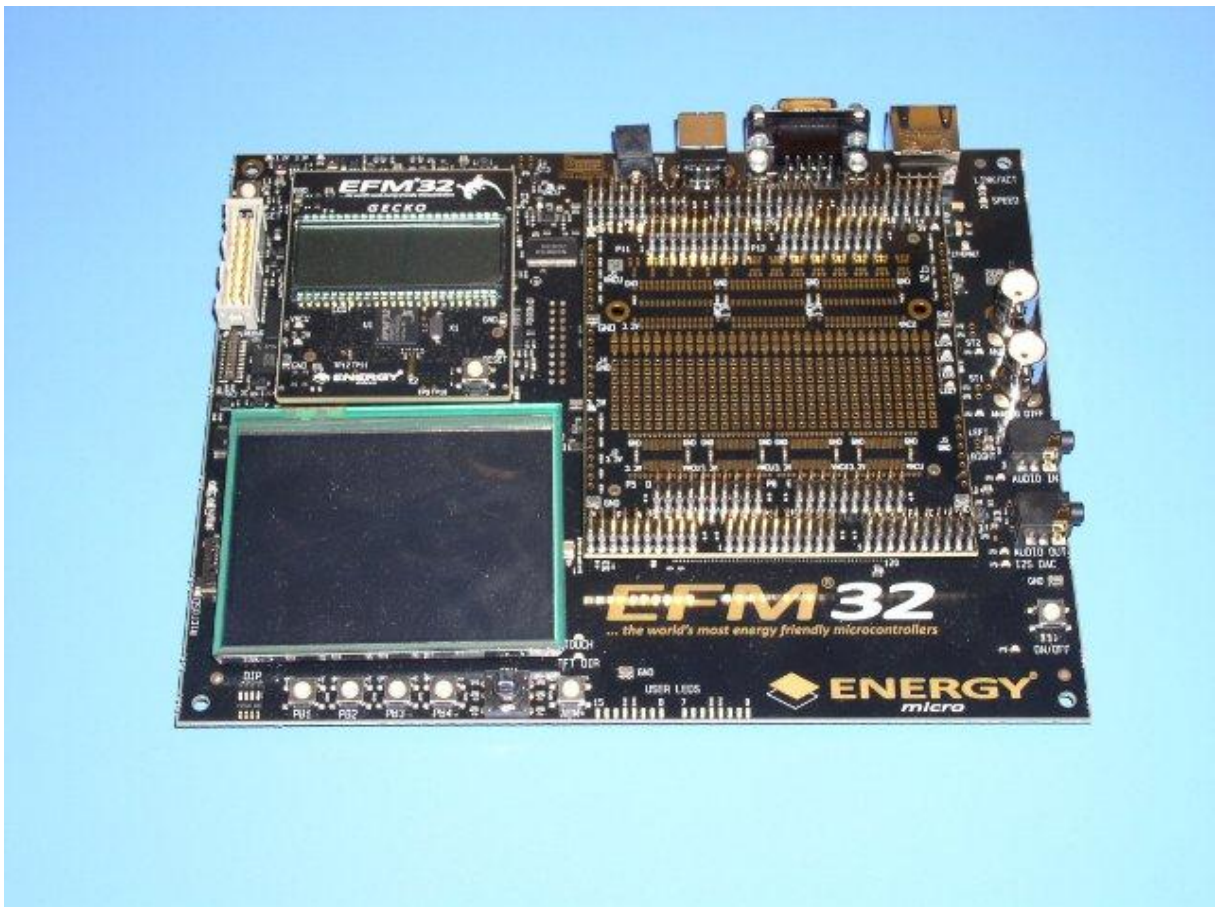
Pro základní výuku programování hradlových polí Altera byl ve výběrovém řízení vybrán kit Unicell, který je postavený na typu Cyclone 2. Koncepce kitu je založená na základní desce s vlastní hradlovým polem, zdrojem hodinového signálu, programátorem a konektory pro připojení periférií. To je vidět i na následujícím obrázku. Navíc má kit ze spodní strany ještě ochranné obvody. Pro výukové účely je to neocenitelné vybavení, které zabrání zničení jinak velmi citlivého obvodu. Výrobce má v nabídce rozsáhlý sortiment periférií, které umožňují postavit konfiguraci přesně podle potřeb konkrétní úlohy.





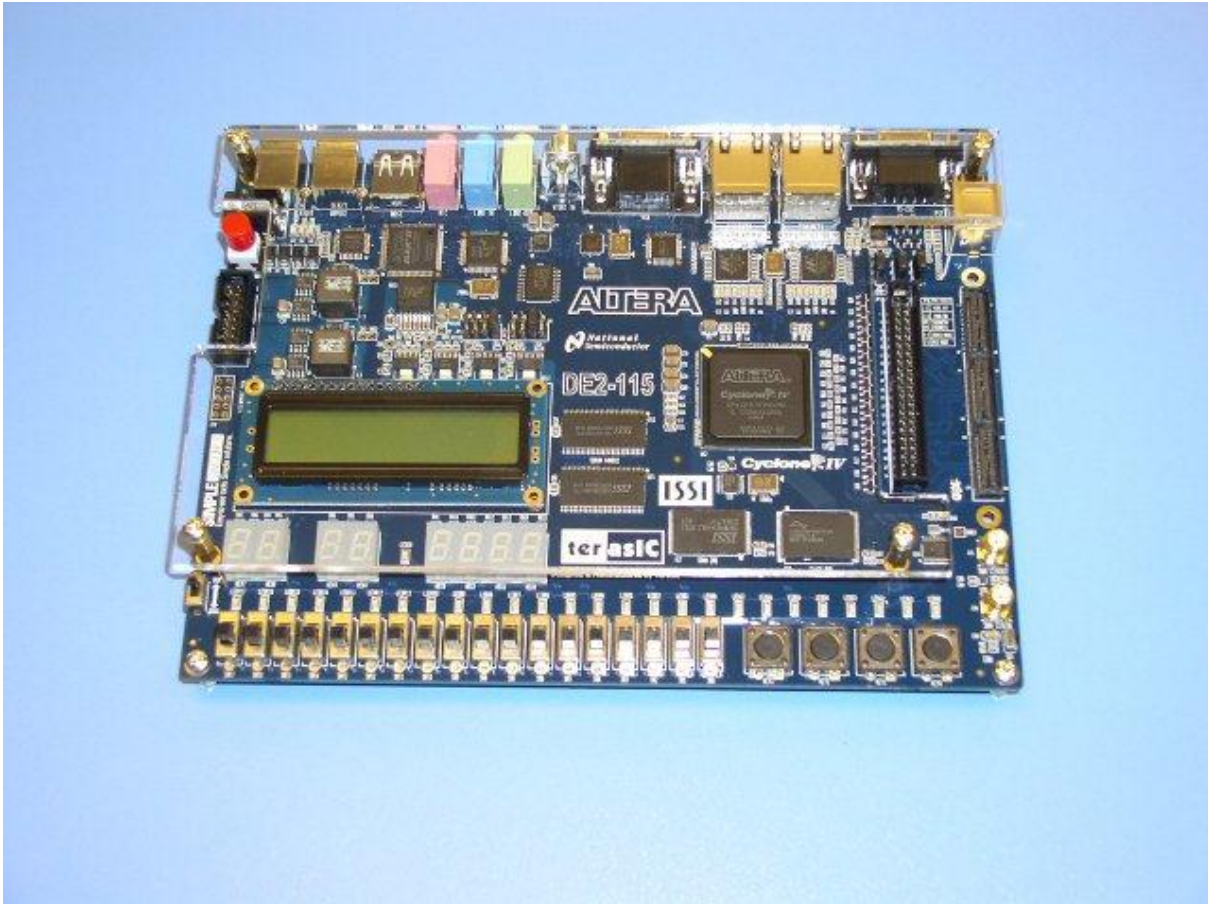
2.2. Programování mikrokontroléru ARM

Klíčové pro tento modul bylo pořízení vhodného vývojového kitu. Mikrokontroléry ARM má dnes v nabídce řada výrobců a samozřejmě výrobců kitů je ještě mnohem víc. Jistým problémem je, že ve většině případů jsou to výrobci se sídlem v Číně. To by byl samozřejmě problém při řešení jakýchkoliv obtíží. Navíc kit určený pro výuku na střední škole má svá specifika. Zde se jedná především o firemní i komunitní technickou podporu. Z výběrového řízení pak vítězně vyšel kit firmy Energy Micro. O kvalitě tohoto výrobce svědčí fakt, že tato firma již dnes patří pod Silicon Labs.



2.3. Programování softcore procesoru NIOS

Smyslem tohoto modulu je seznámit žáky s jiným pohledem na tvorbu a použití 32 bitových softcore procesorů, než byl dosud ve výuce používán. To nové je spojeno s platformou Altera, oproti dosud používané platformě Xilinx. Tato výuka však klade vyšší nároky na technické vybavení. Z výběrového řízení pak vítězně vzešel kit osazený hradlovým polem Cyclone 4.



2.4. Programování i51 v jazyku C

V tomto modulu byl výběr výukového kitu nejjednodušší a současně nejobtížnější. Tento rozpor si jistě zaslouží vysvětlení. Technika i51 je již 30 let stará a tedy i známá. Jenže dnešní tzv. klony i51 jsou něco úplně jiného, než byl původní vzor. Dá se říct, že s původním mikrokontrolerem zůstala společná jen instrukční sada. Kvůli zpětné kompatibilitě pak zůstává možnost volby módu, který, až na některá omezení, umožňuje klasické použití. Další módy pak jsou to, co z těchto obvodů dělá moderní součástky. Na druhou stranu však tyto další módy přinášejí obtíže při návrhu univerzálního výukového kitu. Čínské firmy, které v nabídce dominují, to řeší tak, že nabízejí širokou škálu jednoúčelových kitů. Jediný evropský výrobce to vyřešil kitem s poměrně komplikovaným nastavováním funkce. V rámci přípravy výuky se však podařilo tuto nevýhodu proměnit v přednost, protože si žáci mohou prakticky ověřit třeba funkci mapování pinů.



2.5. Aplikace moderní měřicí techniky

Pro tento modul byly zajištěny moderní měřicí přístroje pro oblast VF měření. Jedná se o digitální osciloskop, vf generátor, signální analyzátor. Nákup těchto přístrojů byl z hlediska rozpočtu projektu nejnáročnější a to přesto, že představuje jen úplný základ. Ten by pak v budoucnu měl být dále rozšiřován.



2.6. Softwarová diagnostika subsystémů PC

I realizace tohoto modulu měla svá úskalí a to přesto, že z hlediska vybavení bylo třeba pořídit „obyčejná PC“. Problém byl v tom, že k pořízeným počítačům musela být dodána velmi podrobná dokumentace. Ta nejen že není dodávána běžně, protože uživatel ji nepotřebuje, ale naprostou většinou výrobců je utajována. V našem případě se podařilo nakoupit počítače se Super I/O obvodem W83627DHG firmy Winbond.

3. Výsledky evaluace modulů

V této chvíli byla ukončena evaluace všech modulů ve čtvrtém ročníku a probíhá zpracování výsledků. Ty tedy není možné zatím zveřejnit. Přesto za pozornost stojí jeden zajímavý poznatek, který se týká modulu "Programování mikrokontroléru ARM". Tato výuka je objektivně hodně náročná jak pro vyučujícího, tak pro žáky. Zároveň se ale jedná o tematiku velmi zajímavou a to kupodivu nejen pro žáky, kteří standardně dosahují vynikajících výsledků, ale i pro ty, kteří jsou na opačné straně spektra hodnocení. A i tito žáci při evaluaci dosahovali výborných výsledků. Z toho je vidět, že případné špatné výsledky nejsou dány objektivní neschopností, ale subjektivní pohodlností. Nevyřešenou otázkou po skončení projektu však zřejmě zůstane, jak toho využít. Evaluace modulů ve třetím ročníku pak bude ukončena až v měsíci červnu.

4. Závěr

Realizace tohoto projektu končí v červenci letošního roku a zbývá tedy zvládnout finále. Zde nezbývá než věřit, že to bude finále úspěšné. Realizační tým projektu pro to udělá maximum.

